

#3
P.K.
1-5-02

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

U.S.
JCS71 U.S. PTO
09/910117
07/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2000年 7月21日

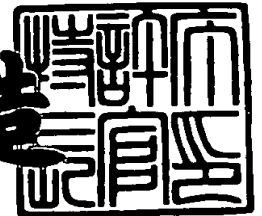
出願番号
Application Number: 特願2000-221207

出願人
Applicant (s): 日本電気株式会社

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3028385

【書類名】 特許願
【整理番号】 71110432
【提出日】 平成12年 7月21日
【あて先】 特許庁長官 殿
【国際特許分類】 H03K 5/00
H04L 7/00
G01F 1/10
H03K 19/177

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 佐伯 貴範

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 クロック制御方法及び回路

【特許請求の範囲】

【請求項 1】

入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックの周期毎に、前記基準のクロックに対して、あらかじめ定められた所定の単位位相差分、加算又は減算してなる位相を有する出力クロックを生成出力する手段を備えたことを特徴とするクロック制御回路。

【請求項 2】

入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックの周期毎に、前記基準のクロックに対する位相を、所定の単位位相差分、加算又は減算するための制御信号を出力する制御手段と、

前記入力クロックを入力し、前記制御信号に基づき、前記基準のクロックに対して、あらかじめ定められた所定の単位位相差分、加算又は減算してなる位相を有する出力クロックを生成出力する位相調整手段と、

を備え、前記基準のクロックの周波数に対して非整数の関係にある周波数の出力クロックを出力可能とした、ことを特徴とするクロック制御回路。

【請求項 3】

入力クロックに対する出力クロックの位相差を、単位位相差毎に、加算又は減算するための制御信号を生成する制御回路と、

前記入力クロックを入力し、前記制御回路からの前記制御信号に基づき、前記制御信号で規定される位相差を有する出力クロックを生成出力する位相調整回路と、

を備えたことを特徴とするクロック制御回路。

【請求項 4】

入力クロックを分周してなる分周クロックを出力する分周回路と、

前記分周回路から出力される分周クロックに基づき、前記分周クロックに対する位相差を、単位位相差毎に、加算又は減算するための制御信号を生成する制御回路と、

前記入力クロックを入力し、前記制御回路からの制御信号で規定される位相の出力クロックを生成出力する位相調整回路と、
を備えたことを特徴とするクロック制御回路。

【請求項5】

入力クロックから互いに位相が異なる第1乃至第Nのクロック（「多相クロック」という）を生成出力する多相クロック生成回路と、

前記第1乃至第Nのクロックを入力してその一つを選択出力するセレクタと、
前記入力クロックを入力し、前記セレクタにおいて、前記第1乃至第Nのクロックを、順次、選択する選択信号を生成して前記セレクタに供給する制御回路と

を備えたことを特徴とするクロック制御回路。

【請求項6】

前記単位位相差が、外部から入力されるモード信号により可変に設定される、ことを特徴とする請求項1乃至4のいずれか一に記載のクロック制御回路。

【請求項7】

前記セレクタの選択を制御する選択信号の出力が、前記制御回路に入力されるモード信号により可変に設定される、ことを特徴とする請求項5に記載のクロック制御回路。

【請求項8】

入力クロックに基づき、該入力クロックを逡倍してなる互いに位相の異なる第1乃至第Nのクロック（「多相逡倍クロック」という）を生成する多相逡倍クロック生成回路と、

前記多相逡倍クロック生成回路から出力される前記第1乃至第Nのクロックのうち二つのクロック信号を選択するスイッチと、

前記スイッチから選択出力される二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する、少なくとも一つのインターポレータと、を備え、前記インターポレータは、そのタイミング差を分割する内分比が可変に設定可能とされており、

前記スイッチの切り替え信号、及び、前記インターポレータのタイミング差の

内分比を可変に設定する制御信号を出力する制御回路と、

を備えたことを特徴とするクロック制御回路。

【請求項 9】

入力クロックに基づき、該入力クロックを逡倍してなる互いに位相の異なる第 1 乃至第 N のクロック（「多相逡倍クロック」という）を生成する多相逡倍クロック生成回路と、

前記多相逡倍クロック生成回路から出力される前記第 1 乃至第 N のクロックの隣接する二つのクロック信号を、二組選択するスイッチと、

前記スイッチから出力される第 1 組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第 1 のインターポレータと、

前記スイッチから出力される第 2 組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第 2 のインターポレータと、

前記第 1、及び第 2 のインターポレータの出力を入力し、前記二つの出力のタイミング差を分割した信号を出力する第 3 のインターポレータと、を備え、

前記第 1 乃至第 3 のインターポレータの少なくとも一つは、前記インターポレータのタイミング差を分割する内分比が可変に設定可能とされており、

前記スイッチの切り替え信号、及び、前記インターポレータのタイミング差の内分比を可変に設定する制御信号を出力する制御回路と、

を備えたことを特徴とするクロック制御回路。

【請求項 10】

入力クロックを入力し、前記入力クロックを分周した互いに位相の異なる二組のクロックを生成する分周回路と、

前記分周回路から出力される第 1 組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第 1 のインターポレータと、

前記分周回路から出力される第 2 組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第 2 のインターポレー

たと、

前記第1、及び第2のインターポレータの出力を入力し、前記二つの出力のタイミング差を分割した信号を出力する第3のインターポレータと、を備え、

前記第1乃至第3のインターポレータの少なくとも一つは、前記インターポレータのタイミング差を分割する内分比が可変に設定可能とされており、

前記スイッチの切り替え信号、及び、前記インターポレータのタイミング差の内分比を可変に設定する制御信号を出力する制御回路と、

を備えたことを特徴とするクロック制御回路。

【請求項11】

入力クロックに基づき、該入力クロックを逡倍してなる互いに位相の異なる複数のクロック（「多相逡倍クロック」という）を生成する多相逡倍クロック生成回路と、

前記多相逡倍クロック生成回路から出力される前記複数のクロックのうち、互いに隣接する位相の二つのクロックを入力し、該二つのクロックのタイミング差を、それぞれ互いに異なる所定の内分比で分割した信号をそれぞれ出力する複数インターポレータと、

複数の前記インターポレータの出力を入力しこれらを多重化して一つの出力信号として出力する合成器と、

を備えたことを特徴とするクロック制御回路。

【請求項12】

前記多相逡倍クロック生成回路がN相（ただし、Nは所定の正整数）のクロックを生成し、前記インターポレータをM個（ただし、Mは、 $M \leq N$ なる正整数）備え、i番目の前記インターポレータには、i番目とi+1番目のクロック（ただし、iは1～Mの整数、なお、n+1番目のクロックは1番目のクロックとなる）が入力され、

前記各インターポレータにおける二つの入力信号のタイミング差を分割する内分比は、i番目の前記インターポレータよりもi+1番目の前記インターポレータの方が、所定単位ステップ分、大又は小の値に設定されており、

M個の前記インターポレータからM相のクロックが出力され、

前記合成器から、M通倍のクロックが出力される、構成としてなる、ことを特徴とする請求項11記載のクロック制御回路。

【請求項13】

前記多相クロック生成回路が、前記入力クロックを分周して多相クロックを生成し該多相クロックを通倍した信号を生成する前記多相通倍クロック生成回路よりなる、ことを特徴とする請求項5記載のクロック制御回路。

【請求項14】

前記多相通倍クロック生成回路が、入力クロックを分周して互いに位相の異なる複数のクロック（「多相クロック」という）を生成出力する分周回路と、

前記入力クロックの周期を検知する周期検知回路と、

前記分周回路から出力される多相クロックを入力とし、前記クロックを通倍した多相クロックを生成する多相クロック通倍回路と、を備え、

前記多相クロック通倍回路が、二つの入力のタイミング差を分割した信号を出力する複数のタイミング差分割回路と、二つの前記タイミング差分割回路の出力をそれぞれ多重化して出力する複数の多重化回路とを備え、

前記複数のタイミング差分割回路は、同一位相のクロックを入力とするタイミング差分割回路と、相隣る位相の二つのクロックを入力とするタイミング差分割回路を備えている、ことを特徴とする請求項8、9、13のいずれか一に記載のクロック制御回路。

【請求項15】

前記多相クロック通倍回路が、n相のクロック（第1乃至第nクロック）を入力し、

二つの入力のタイミング差を分割した信号を出力する2n個のタイミング差分割回路を備え、

2I-1番目（ただし、 $1 \leq I \leq n$ ）のタイミング差分割回路は、前記二つの入力としてI番目の同一クロックを入力とし、

2I番目（ただし、 $1 \leq I \leq n$ ）のタイミング差分割回路は、I番目のクロックと、 $(I+1 \bmod n)$ 番目（ただし、 \bmod は剰余演算を表し、 $I+1 \bmod n$ は、 $I+1$ を n で割った余り）のクロックを入力とし、

J番目 (ただし、 $1 \leq J \leq 2n$) のタイミング差分割回路の出力と ($J+2 \bmod n$) 番目 (ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り) のタイミング差分割回路の出力とを入力とする $2n$ 個のパルス幅補正回路と、

K番目 (ただし、 $1 \leq K \leq n$) のパルス幅補正回路の出力と ($K+n$) 番目のパルス幅補正回路の出力とを入力とする n 個の多重化回路と、

を備えた、ことを特徴とする請求項14記載のクロック制御回路。

【請求項16】

前記タイミング差分割回路が、第1、第2の入力信号を入力とする否定論理和回路と、

前記否定論理和回路の出力である内部ノードの電位を入力とするインバータと、を備え、

前記内部ノードと接地間に、直列接続されたスイッチ素子と容量とが、複数本互いに並列接続されており、

前記スイッチの制御端子に接続する周期制御信号にて前記内部ノードに付加する容量を決められる構成とされている、ことを特徴とする請求項14又は15に記載のクロック制御回路。

【請求項17】

前記タイミング差分割回路が、第1、第2の入力信号を入力とし前記第1及び第2の入力信号の所定の論理演算結果を出力する論理回路と、

第1の電源と内部ノード間に接続され、前記論理回路の出力信号を制御端子に入力とする第1のスイッチ素子と、

前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に出力論理値を変化させるバッファ回路と、

前記内部ノードと第2の電源との間に直列に接続される、第1の定電流源、及び、前記第1の入力信号によりオン・オフ制御される第2のスイッチ素子と、

前記内部ノードと前記第2の電源との間に直列に接続される、第2の定電流源、及び、前記第2の入力信号によりオン・オフ制御される第3のスイッチ素子と

を備え、

さらに前記内部ノードと前記第2の電源間には、直列接続された第4のスイッチ素子と容量とが、複数本互いに並列接続され、前記第4のスイッチ素子の制御端子に供給される周期制御信号にて前記内部ノードに付加する容量が決められる、ことを特徴とする請求項14又は15に記載のクロック制御回路。

【請求項18】

前記第1のスイッチ素子が、第1導電型のMOSトランジスタよりなり、
前記第2乃至第4のスイッチ素子が、第2導電型のMOSトランジスタよりなる、ことを特徴とする請求項17に記載のクロック制御回路。

【請求項19】

クロック信号を分周回路で分周した信号と、該分周信号を所定クロック周期分送られた信号と、を入力し、前記二つの入力信号のタイミング差を所定の内分比で分割した信号を出力するインターポレータを備え、

前記インターポレータはタイミング差の内分比が可変に設定可能とされており

前記クロック信号に基づき、前記インターポレータにおけるタイミング差の内分比を可変させる制御回路を備えたことを特徴とするクロック制御回路。

【請求項20】

二つの入力信号のタイミング差をそれぞれ互いに異なる値の所定の内分比で分割した信号を出力するインターポレータを複数(N個)備え、

互いに相の異なる第1乃至第Nのクロックについて、I番目とI+1番目(但し、Iは1からNの整数であり、N+1番目は1番目となる)の二つのクロックがそれぞれI番目の前記インターポレータに入力される、ことを特徴とするクロック制御回路。

【請求項21】

前記インターポレータが、第1、及び第2の入力信号を入力とし前記第1及び第2の入力信号の所定の論理演算結果を出力する論理回路と、

第1の電源と内部ノードとの間に接続され、前記論理回路の出力信号を制御端子に入力とし、前記第1、及び第2の入力信号がともに第1の値のとき、オン状態とされる第1のスイッチ素子と、

前記内部ノードが入力端に接続され、前記内部ノードの容量の端子電圧としきい値との大小関係が反転した場合に出力論理値を変化させるバッファ回路と、
を備え、

前記内部ノードと第2の電源との間には、前記第1の入力信号が第2の値のときオン状態とされる第2のスイッチ素子と、前記制御回路からの制御信号に基づきそれぞれオン・オフ制御される前記第3のスイッチ素子と、第1の定電流源よりなる直列回路を、複数個並列に備え、

前記内部ノードと前記第2の電源との間には、さらに、前記第2の入力信号が第2の値のとき共通にオン状態とされる第4のスイッチ素子と、前記制御回路からの制御信号に基づきそれぞれオン・オフ制御される前記第5のスイッチ素子と、定電流源よりなる直列回路を、複数個並列に備えている、ことを特徴とする請求項8、9、10、11、12、19、20のいずれか一に記載のクロック制御回路。

【請求項22】

前記インターポレータが、第1、及び第2の入力信号を入力とし前記第1及び第2の入力信号の所定の論理演算結果を出力する論理回路と、

第1の電源と内部ノードとの間に接続され、前記論理回路の出力信号を制御端子に入力とし、前記第1、及び第2の入力信号がともに第1の値のとき、オン状態とされる第1のスイッチ素子と、

前記内部ノードが入力端に接続され、前記内部ノードの容量の端子電圧としきい値との大小関係が反転した場合に出力論理値を変化させるバッファ回路と、
を備え、

前記内部ノードと第2の電源との間には、前記第1の入力信号が第2の値のときオン状態とされる第2のスイッチ素子と、前記制御回路からの制御信号に基づきそれぞれオン・オフ制御される前記第3のスイッチ素子と、第1の定電流源よりなる直列回路を、複数個並列に備え、

前記内部ノードと前記第2の電源との間には、前記第2の入力信号が第2の値のとき共通にオン状態とされる第4のスイッチ素子と、前記制御回路からの制御信号に基づきそれぞれオン・オフ制御される前記第5のスイッチ素子と、定電流

源よりなる直列回路を、複数個並列に備え、

前記内部ノードと前記第2の電源間には、さらに、直列接続された第6のスイッチ素子と容量とが、複数本互いに並列接続され、前記第6のスイッチ素子の制御端子に供給される周期制御信号にて前記内部ノードに付加する前記容量の値が選択的に決められる、ことを特徴とする請求項8、9、10、11、12、19、20のいずれか一に記載のクロック制御回路。

【請求項23】

前記第2のスイッチ素子、前記第3のスイッチ素子、前記第4のスイッチ素子、及び、前記第5のスイッチ素子がいずれも少なくとも所定個数(N個)よりなり、

前記第3のスイッチ素子群に供給する制御信号により、K個(但しKは0~N)の前記第3のスイッチ素子をオンとし、

前記第5のスイッチ素子群に供給する制御信号により、N-K個の前記第5のスイッチ素子をオンとし、

前記第1の入力信号と前記第2の入力信号のタイミング差を、前記タイミング差のN分の1を単位として前記Kに基づく内分したタイミングに対応する信号を出力し、前記Kの値を可変することで、前記タイミング差の内分比が可変される、ことを特徴とする請求項21又は22に記載のクロック制御回路。

【請求項24】

前記第3のスイッチ素子の制御端子に、前記制御回路から供給される制御信号を、インバータで反転した信号が、前記第3のスイッチ素子に対応する前記第5のスイッチ素子の制御端子に制御信号として供給される、ことを特徴とする請求項23に記載のクロック制御回路。

【請求項25】

前記第1のスイッチ素子が、第1導電型のMOSトランジスタよりなり、前記第2乃至第5のスイッチ素子が、第2導電型のMOSトランジスタよりなる、ことを特徴とする請求項21に記載のクロック制御回路。

【請求項26】

前記第1のスイッチ素子が、第1導電型のMOSトランジスタよりなり、

前記第2乃至第6のスイッチ素子が、第2導電型のMOSトランジスタよりなる、ことを特徴とする請求項22に記載のクロック制御回路。

【請求項27】

前記周期制御信号が、請求項14の前記周期検知回路から供給される、ことを特徴とする請求項22に記載のクロック制御回路。

【請求項28】

入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックの周期毎に、前記基準のクロックに対して、あらかじめ所定の単位位相差分、加算又は減算してなる位相の出力クロックを出力する、ことを特徴とするクロック制御方法。

【請求項29】

前記基準のクロックの周波数に対して非整数の関係にある周波数の出力クロックを出力可能とした、ことを特徴とする請求項28記載のクロック制御方法。

【請求項30】

入力クロックを分周回路で分周し、前記分周されたクロックに基づき、前記分周クロックに対する位相差を、単位位相差ごとに加算又は減算するための制御信号を生成し、前記分周クロックに対して、前記制御信号で設定される位相差の信出力クロックを生成する、ことを特徴とするクロック制御方法。

【請求項31】

前記単位位相差が、制御信号により可変に設定される、ことを特徴とする請求項28乃至30のいずれか一に記載のクロック制御方法。

【請求項32】

入力クロックから互いに位相が異なる第1乃至第Nのクロック（「多相クロック」という）を生成してセレクタに入力し、セレクタにおいて、前記第1乃至第Nのクロックを、順次、選択出力する、ことを特徴とするクロック制御方法。

【請求項33】

二つのクロック信号のタイミング差を分割した信号を出力するインターポレータで、前記出力クロックの位相を調整し、前記インターポレータのタイミング差を分割する内分比を可変させることで、クロックの周波数に対して非整数の関係

にある周波数の出力クロックを出力可能とした、ことを特徴とする請求項28乃至30のいずれかに記載のクロック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック制御回路及び方法に関する。

【0002】

【従来の技術】

クロック周期を調整する回路は、PLL (Phase Locked Loop; 位相同期ループ) 回路を備えて構成とされている。図27は、従来のPLL回路の構成を示す図である。図27を参照すると、外部クロック324と、電圧制御発振器322の出力を分周回路323で分周した信号が位相周波数検出回路 (Phase Frequency Detector; PFD) 319に入力され、位相差に応じた電圧をチャージポンプ320が出力し、ループフィルタ321で平滑化された電圧が電圧制御発振器 (Voltage Controlled Oscillator; VCO) 322に制御電圧として供給され、該制御電圧に応じた周波数の出力クロックが電圧制御発振器322から分周回路323に供給される。

【0003】

例えば特開平11-284497号公報には、遅延時間を決定するためのランプ波電圧、及び閾値電圧を同一構成の回路で発生させることができ、またランプ波電圧と閾値電圧をそれぞれ独立に設定できるので、分子分母の両者が設定可能な分数の遅延時間を発生させることができるプログラマブル遅延発生器、該プログラマブル遅延発生器を使用してアキュムレータの出力パルスの位相補間を行うことにより、無調整で、低スプリアスな出力信号を発生できる周波数シンセサイザ、該プログラマブル遅延発生器を用いた通倍回路、該プログラマブル遅延発生器を、出力パルス幅を決定する遅延発生器に用いたデューティ比変換回路、該プログラマブル遅延発生器を分周器と位相比較器の間に挿入したPLL周波数シンセサイザ等が提案されている。

【0004】

【発明が解決しようとする課題】

しかしながら、図27に示した従来の回路は、PLL回路を備え、帰還系回路を用いているため、位相調整に時間を要するほか、帰還系特有のジッタがある、という問題点を有している。

【0005】

また、上記した従来のプログラマブル遅延発生器には、閾値電圧発生回路等の電源電圧発生回路が必要とされている。このため、回路規模が増大するという問題点を有している。

【0006】

したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、簡易な構成により、高精度に、非整数の周波数変換を行うことができるクロック制御回路及び方法を提供することにある。

【0007】

【課題を解決するための手段】

前記目的を達成する本発明は、クロックを入力し、一定周期毎に、前記クロックに対する位相差をあらかじめ定められた所定の単位位相差加算又は減算してなる位相差を有する出力クロックを出力するものである。

【0008】

本発明は、入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックの周期毎に、前記基準のクロックに対する位相を、所定の単位位相差分加算又は減算するための制御信号を出力する制御手段と、前記入力クロックを入力し、前記制御信号に基づき、前記基準のクロックに対して、あらかじめ定められた所定の単位位相差分、加算又は減算してなる位相を有する出力クロックを生成出力する位相調整手段と、を備え、前記基準のクロックの周波数に対して非整数の関係にある周波数の出力クロックを出力可能としている。

【0009】

本発明においては、入力クロックを分周してなる分周クロックを出力する分周回路と、前記分周回路から出力される分周クロックに基づき、前記分周クロック

に対する位相差を、単位位相差毎に、加算又は減算するための制御信号を生成する制御回路と、前記入力クロックを入力し、前記制御回路からの制御信号で設定される位相の信号を生成出力する位相調整回路と、を備えた構成としてもよい。

【 0 0 1 0 】

本発明においては、入力クロックから互いに位相が異なる第1乃至第Nのクロック（「多相クロック」という）を生成出力する多相クロック生成回路と、前記第1乃至第Nのクロックを入力してその一つを選択出力するセレクタと、前記入力クロックを入力し、前記セレクタにおいて、前記第1乃至第Nのクロックを、順次、選択する選択信号を生成して前記セレクタに供給する制御回路と、を備えた構成としてもよい。上記目的は、特許請求の範囲の各請求項の発明によって同様に達成されることは、以下の実施の形態及び実施例等の説明から、当業者には直ちに明らかとされるであろう。

【 0 0 1 1 】

【発明の実施の形態】

本発明の実施の形態について以下に説明する。本発明の一実施の形態は、入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックのクロック周期毎に、前記基準のクロックに対する位相をあらかじめ所定の単位位相差分加算又は減算するための選択信号を出力する制御回路（図1の102）と、前記入力クロックを入力し、前記選択信号に基づき、前記基準のクロックに対して前記加算されてなる位相を有するクロックを出力する位相調整回路（図1の101）と、を備える。

【 0 0 1 2 】

本発明は、別の実施の形態において、入力クロックを分周する分周回路（図3の103）と、前記分周回路で分周されたクロックに基づき、前記分周クロックに対する位相差を、単位位相差ごとに加算又は減算するための制御信号を生成する制御回路（図3の102）と、入力クロックを入力し、前記入力クロック信号に対して、前記制御回路からの制御信号で設定される位相の信号を生成する位相調整回路（図3の101）と、を備える。

【 0 0 1 3 】

本発明は、別の実施の形態において、入力クロックから互いに位相が異なる第1乃至第Nのクロック（「多相クロック」という）を生成する多相クロック生成回路（図4の201）と、前記第1乃至第Nのクロックを入力してその一つを選択出力するセレクタ（図4の203）と、前記入力クロックを入力し、前記セレクタにおいて、前記第1乃至第Nのクロックを、順次、選択する選択信号を供給する制御回路（図4の202）と、を備える。

【0014】

本発明においては、位相調整回路を、入力される二つの信号のタイミング差を分割し信号を出力するインターポレータで構成し、クロック信号を分周回路で分周した信号と該分周信号を所定クロック周期分送られた信号とをインターポレータに入し、前記クロック信号に基づき、前記インターポレータにおけるタイミング差の分割値を可変させる制御回路を備える。

【0015】

二つの入力信号のタイミング差を分割した信号を出力するインターポレータを複数備え、前記複数のインターポレータにおけるタイミング差の分割値は互いに異なる値に設定され、互いに相の異なる複数（N個）のクロックについて、複数組の二つのクロックがそれぞれ前記複数のインターポレータに入力され、一のインターポレータにおいて、両端の第1と第Nのクロックを入力とする構成としてもよい。

【0016】

本発明は、別の実施の形態において、入力クロックに基づき前記入力クロックの周波数を通倍した互いに位相の異なる第1乃至第Nのクロック（「多相通倍クロック」という）を生成する多相通倍クロック生成回路（図20の10）と、前記第1乃至第Nのクロックのうち二つのクロック信号を選択するスイッチ（図20の20）と、前記スイッチから選択出力される二つクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力するインターポレータ（図20の30）と、前記スイッチの切り替え及びインターポレータのタイミング分割値を設定する制御信号を出力する制御回路（図20の40）とを備える。

【 0 0 1 7 】

本発明は、さらに別の実施の形態において、入力クロックに基づき前記入力クロックを一旦分周して多相クロックを生成し、該多相クロックの周波数を通倍した互いに位相の異なる第1乃至第Nのクロック（「多相通倍クロック」という）を生成する多相通倍クロック生成回路（図22の10）と、前記第1乃至第Nのクロックの隣接する二つのクロック信号を、二組選択するスイッチ（図22の20）と、前記スイッチから出力される第1組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第1のインターポレータ（図22の30₁）と、前記スイッチから出力される第2組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第2のインターポレータ（図22の30₂）と、前記第1、第2のインターポレータの出力を入力し、前記二つの出力のタイミング差を分割した信号を出力する第3のインターポレータ（図22の30₂）と、前記スイッチの切り替え及び前記インターポレータのタイミング差分割値を設定する制御信号を出力する制御回路（図22の40）と、を備える。

【 0 0 1 8 】

多相通倍クロック生成回路は、入力クロックを分周して互いに位相の異なる複数のクロック（「多相クロック」という）を生成出力する分周回路（図5の2）と、入力クロックの周期を検知する周期検知回路（図5の6）と、前記分周回路から出力される多相クロックを入力とし、前記クロックを通倍した多相クロックを生成する多相クロック通倍回路（図5の5）と、を備え、前記多相クロック通倍回路（5）は、二つの入力のタイミング差を分割した信号を出力する複数のタイミング差分割回路（図6の4a1～4a8）と、二つの前記タイミング差分割回路の出力をそれぞれ多重化して出力する複数の多重化回路（図6の4b1～4b4）とを備え、前記複数のタイミング差分割回路は、同一位相のクロックを入力とするタイミング差分割回路（図6の4a1、4a3、4a5、4a7）と、相隣る位相の二つのクロックを入力とするタイミング差分割回路（図6の4a2、4a4、4a6、4a8）を備えている。

【 0 0 1 9 】

多相クロック通倍回路 (5) は、 n 相のクロック (第1乃至第 n クロック) を入力し、二つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路 (図6の4a1~4a8) を備え、 $2I-1$ 番目 (ただし、 $1 \leq I \leq n$) のタイミング差分割回路 (図6の4a1、4a3、4a5、4a7) は、前記二つの入力として I 番目の同一クロックを入力とし、 $2I$ 番目 (ただし、 $1 \leq I \leq n$) のタイミング差分割回路 (図6の4a2、4a4、4a6、4a8) は、 I 番目のクロックと、 $(I+1 \bmod n)$ 番目 (ただし、 \bmod は剰余演算を表し、 $I+1 \bmod n$ は、 $I+1$ を n で割った余り) のクロックを入力とし、 J 番目 (ただし、 $1 \leq J \leq 2n$) のタイミング差分割回路の出力と $(J+2 \bmod n)$ 番目 (ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り) のタイミング差分割回路の出力とを入力とする $2n$ 個のパルス幅補正回路 (図6の4c1~4c8) と、 K 番目 (ただし、 $1 \leq K \leq n$) のパルス幅補正回路の出力と $(K+n)$ 番目のパルス幅補正回路の出力とを入力とする n 個の多重化回路 (図6の4b1~4b4) と、を備えている。

【0020】

本発明は、さらに別の実施の形態において、入力クロックを入力し、前記入力クロックの分周した互いに位相の異なるクロックを生成する分周回路 (図23の60) と、前記分周回路から出力される第1組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第1のインターポレータ (図23の30₁) と、前記スイッチから出力される第2組の二つのクロック信号を入力し、前記二つのクロック信号のタイミング差を分割した信号を出力する第2のインターポレータ (図23の30₂) と、前記第1、第2のインターポレータの出力を入力し、前記二つの出力のタイミング差を分割した信号を出力する第3のインターポレータ (図23の30₃) と、前記スイッチの切り替え及び前記インターポレータのタイミング分割値を設定する制御信号を出力する制御回路 (図23の40) と、を備える。

【0021】

本発明は、さらに別の実施の形態において、入力クロックに基づき、該入力クロックを通倍してなる互いに位相の異なる複数のクロックを生成する多相通倍ク

ロック生成回路（図24の10）と、多相通倍クロック生成回路から出力される複数のクロックのうち、互いに隣接する位相の二つのクロックを入力し、該二つのクロックのタイミング差をそれぞれ互いに異なる所定の内分比で分割した信号をそれぞれ出力する複数インターポレータ（図24の30₁～30_n）と、複数のインターポレータの出力を入力しこれらを多重化して一つの出力信号として出力する合成器（図24の50）と、を備えて構成される。

【0022】

この実施の形態において、多相通倍クロック生成回路がN相（ただし、Nは所定の正整数）のクロックを生成し、インターポレータ30をM個（ただし、Mは、 $M \leq N$ なる正整数）備え、i番目の前記インターポレータには、i番目とi+1番目のクロック（ただし、iは1～Mの整数、なお、n+1番目のクロックは1番目のクロックとなる）が入力され、各インターポレータにおける二つの入力信号のタイミング差を分割する内分比は、i番目（ただし、iは1～Mの整数）のインターポレータよりもi+1番目のインターポレータの方が、所定単位ステップ分、大又は小の値に設定されており、M個のインターポレータからM相のクロックが出力され、前記合成器から、M通倍のクロックが出力される構成としてもよい。この場合、各インターポレータにおける二つの入力信号のタイミング差を分割する内分比は固定値とされる。

【0023】

上記した本発明の実施の形態において、インターポレータは、例えば図12乃至図15を参照すると、第1、及び第2の入力信号を入力とし前記第1及び第2の入力信号の所定の論理演算結果を出力する論理回路（NAND01）と、第1の電源と内部ノード（N31）間に接続され、前記論理回路の出力信号を制御端子に入力とし、前記第1、及び第2の入力信号が第1の値のとき、オン状態とされる第1のスイッチ素子（MP1）と、前記内部ノードが入力端に接続され、前記内部ノードの容量の端子電圧としきい値との大小関係が反転した場合に出力論理値を変化させるバッファ回路（INV3）と、前記内部ノードと第2の電源間に直列に接続され、前記第1の入力信号（IN1）が第2の値のとき共通にオン状態とされる第2のスイッチ素子（MN11）と、制御回路（図20の40等）からの制御

信号 (PH) に基づきそれぞれオン・オフ制御される第3のスイッチ素子(MN 21)と、定電流源 (I_0) よりなる直列回路を、複数個並列に備え、前記内部ノードと第2の電源間に直列に接続され、前記第2の入力信号が第2の値のとき共通にオン状態とされる第4のスイッチ素子(MN 12)と、前記制御回路からの制御信号に基づきそれぞれオン・オフ制御される前記第5のスイッチ素子(MN 22)と、定電流源 (I_0) よりなる直列回路を、複数個並列に備えている。なお、第3のスイッチ素子(MN 21)を内部ノード (N 31) 側に接続し、第2のスイッチ素子(MN 11)を定電流源 (I_0) 側に接続するように、その配置を入れ替えてもよいことは勿論であり、第4のスイッチ素子(MN 12)と、第5のスイッチ素子(MN 22)の配置を入れ替えてもよいことは勿論である。

【0024】

内部ノード (N 31) と前記第2の電源間には、直列接続された第6のスイッチ素子と容量とが、複数本互いに並列接続され (MN 31~MN 34、CAP 11~CAP 14)、前記第6のスイッチ素子群 (MN 31~MN 34) の制御端子に供給される周期制御信号 (7) にて、前記内部ノードに付加する前記容量の値が選択的に決められる。

【0025】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0026】

図1は、本発明の第1の実施例の構成を示す図である。図1を参照すると、本発明の第1の実施例は、入力クロックを入力し、該入力クロック又は該入力クロックから生成される信号を基準のクロックとして、該基準クロックに対して、位相を調整して、出力クロックを出力する位相調整回路101と、入力クロックとコード情報を入力し、選択信号を、位相調整回路101に出力する加算回路102と、を備えている。この位相調整回路101は、後に説明されるように、好ましくは、タイミング差を分割する内分比が可変に設定されるインターポレータより構成される。

【0027】

制御回路102は、例えば初期値0から、所定の単位 m ($m=1, 2, 3, \dots$) を、入力クロックを入力するたびにインクリメント ($0, m, 2m, 3m, \dots$) する加算回路と、加算結果をデコードし、該加算結果に対応する選択信号 (制御信号) を位相調整回路101に出力する。所定の単位 m の値は、外部から制御回路102に入力されるコード信号により設定される。

【0028】

なお、制御回路102は、初期値 N から、所定の単位 m ($m=1, 2, 3, \dots$) を、入力クロックを入力するたびにデクリメント ($N, N-m, N-2m, N-3m, \dots$) する減算回路と、減算回路の減算結果をデコードし、該減算結果に対応する選択信号 (制御信号) を位相調整回路101に出力する構成としてもよい。

【0029】

位相調整回路101は、制御回路102からの選択信号に基づき、クロック周期 t_{CK} の入力クロックのエッジ (例えば立ち上がりエッジ) に対して、制御回路102からの選択信号で決定される単位位相差を $\Delta\Phi$ としたとき、該エッジに対して、 $0, \Delta\Phi, 2\Delta\Phi, 3\Delta\Phi, \dots, (n-1)\Delta\Phi, n\Delta\Phi, \dots$ の位相差の信号を出力する。ただし、 $n\Delta\Phi$ は位相差0と等価である。

【0030】

制御回路102からの選択信号 m が「1」であるときの単位位相差を $\Delta\Phi$ とした場合、選択信号が「 m 」のときには、位相調整回路101における単位位相差は $m\Delta\Phi$ となり、クロック周期 t_{CK} の入力クロックのエッジに対して、入力クロック毎に、 $0, m\Delta\Phi, 2m\Delta\Phi, 3m\Delta\Phi, \dots, (n-1)m\Delta\Phi, nm\Delta\Phi, \dots$ の位相の信号を出力する。ただし、単位位相差 $\Delta\Phi$ が t_{CK}/n のとき、 $nm\Delta\Phi$ は、位相差0と等価である。

【0031】

図2は、本発明の第1の実施例の動作原理を説明するためのタイミングチャートである。図2を参照すると、

クロックサイクル1の入力クロックの立ち上がりエッジに対する、出力クロッ

クの位相差は 0、

クロックサイクル 2 の入力クロックの立ち上がりエッジに対する、出力クロックの位相差は、 $\Delta\Phi$ 、

クロックサイクル 3 の入力クロックの立ち上がりエッジに対する、出力クロックの位相差は、 $2\Delta\Phi$ 、

…となる。

【0032】

出力クロックの周期は、 $t_{CK} + \Delta\Phi$ となり、周期 t_{CK} の入力クロックの周波数 $f = 1/t_{CK}$ を、周波数 $f' = 1/(t_{CK} + \Delta\Phi)$ に周波数変換しており、クロック周期を、入力クロック周波数の整数比以外（非整数）の値（ $= 1 + \Delta\Phi/t_{CK}$ ）で、周波数変換している。

【0033】

図 2 において、出力クロックと入力クロックを入れ替えたものが、制御回路 102 を減算回路とデコーダで構成した場合のタイミング動作となる。制御回路 102 を減算回路で構成した場合、クロックサイクル毎に、入力クロックの立ち上がりエッジに対する、出力クロックの位相差は、 $-\Delta\Phi$ 、 $-2\Delta\Phi$ 、…となる。

【0034】

次に本発明の第 2 の実施例について説明する。図 3 は、本発明の第 2 の実施例の構成を示す図である。図 3 を参照すると、本発明の第 2 の実施例は、入力クロックを分周する分周回路 103 と、制御回路 104 と、位相調整回路 101 とを備えている。分周回路 103 は、入力クロックを入力して分周する。

【0035】

制御回路 104 は、初期値 0 から、コード信号 m ($m = 1, 2, 3, \dots$) を、入力クロックを入力するたびにインクリメント ($0, m, 2m, 3m, \dots$) する加算回路と、該値をデコードし、該値に対応する選択信号を位相調整回路 101 に出力するデコーダを備えている。

【0036】

位相調整回路 101 は、単位位相差を $\Delta\Phi$ としたとき、入力クロック毎に、入力クロックのエッジに対して、制御回路 104 からの選択信号に基づき、 $0, m$

$\Delta\Phi$ 、 $2m\Delta\Phi$ 、 $3m\Delta\Phi$ 、 \dots 、 $(n-1)m\Delta\Phi$ 、 $nm\Delta\Phi$ 、 \dots の位相差の信号を出力する。ただし、単位位相差 $\Delta\Phi$ が t_{CK}/n のとき、 $nm\Delta\Phi$ は位相差0と等価である。

【0037】

周期 t_{CK} の入力クロックの周波数 $f = 1/t_{CK}$ を、周波数 $f' = 1/(t_{CK} + \Delta\Phi)$ に変換しており、出力クロックの周期を、 $t_{CK} + \Delta\Phi$ となり、クロック周期を整数比以外の値で変更可能としている。

【0038】

本発明の第2の実施例においても、制御回路102を減算回路とデコーダで構成してもよいことは勿論である。

【0039】

次に本発明の第3の実施例について説明する。図4は、本発明の第3の実施例の構成を示す図である。図4を参照すると、本発明の第3の実施例は、多相クロック発生回路201と、セレクタ202と、セレクタ202への選択信号を供給する制御回路203とを備えている。

【0040】

多相クロック発生回路201から出力される、例えば n 相の第1～第 n のクロック（位相が隣接するクロックのタイミング（位相）差 $\Delta\Phi = t_{CK}/n$ ）に対して、制御回路203からの制御のもと、セレクタ202で、第1のクロックから第 n のクロックを巡回的に選択することで、例えば、

クロックサイクル1では第1のクロックを選択し、入力クロックの立ち上がりエッジに対する出力クロックの位相差は0、

クロックサイクル2では第2のクロックを選択し、入力クロックの立ち上がりエッジに対する、出力クロックの位相差は、 $\Delta\Phi$ 、

クロックサイクル3では第3のクロックを選択し、入力クロックの立ち上がりエッジに対する、出力クロックの位相差は、 $2\Delta\Phi$ 、

\dots となる。

【0041】

出力クロックの周期は、 $t_{CK} + \Delta\Phi$ となり、周期 t_{CK} の入力クロックの周

波数 $f = 1 / t_{CK}$ を、周波数 $f' = 1 / (t_{CK} + \Delta\Phi)$ に変換しており、クロック周期を、整数比以外の値 ($= 1 + \Delta\Phi / t_{CK}$) で変更可能としている。

【0042】

上記した本発明の実施例についてさらに詳細に説明する。以下では、本発明の特徴の一つをなすタイミング差分割回路（インターポレータ）に関する説明の順序の関係を考慮して、図4の回路構成から、その詳細を説明する。

【0043】

図5は、図4の多相クロック発生回路201の構成の一例を示す図である。図6は、本発明の一実施例として、4相クロックを生成するための多相クロック発生回路201として、通信用インターポレータの構成の具体例を示す図である。

【0044】

図5に示すように、4相クロック発生回路は、入力クロック1を4分周し、4相クロックQ1～Q4を出力する1/4分周回路2と、n段縦続接続された4相クロック通倍回路51～5nと、周期検知回路6と、を備えている。最終段の4相クロック通倍回路5nからは、2n通倍された4相クロックQn1～Qn4が出力される。なお、4相クロック通倍回路の段数nは任意である。

【0045】

1/4分周回路2は、入力クロック1を1/4分周して、4相クロックQ1、Q2、Q3、Q4を生成し、このクロックQ1、Q2、Q3、Q4を4相クロック通倍回路51で通倍した4相クロックQ11、Q12、Q13、Q14を生成し、同様にして、4相クロック通倍回路5nから、2n通倍した4相クロックQn1、Qn2、Qn3、Qn4を得る。

【0046】

周期検知回路6は、固定段数のリングオシレータと、カウンタから構成され、クロック1の周期中、リングオシレータの発振回数をカウンタでカウントし、カウント数に応じて制御信号7を出力し、4相クロック通倍回路5内の負荷を調整する。この周期検知回路6により、クロック周期の動作範囲、デバイスの特性ばらつきが解消される。

【0047】

図6(a)は、図5に示した4相クロック通倍回路5の構成の一例を示す図である。なお、図5に示した4相クロック通倍回路51~5nは、いずれも同一構成とされる。図6(a)を参照すると、この4相クロック通倍回路5は、8組のタイミング差分割回路4a1~4a8と、8個のパルス補正回路4c1~4c8と、4組の多重化回路4b1~4b4から構成されている。図6(b)は、パルス幅補正回路4cの構成を示す図であり、第2の入力をインバータ17で反転した信号と、第1の入力を入力とするNAND回路16からなる。図6(c)は、多重化回路4bの構成を示す図であり、2入力NAND回路18からなる。

【0048】

図7は、図6に示した4相クロック通倍回路5のタイミング動作を示す信号波形図である。クロックT21の立ち上がりは、クロックQ(n-1)1の立ち上がりからタイミング差分割回路4a1の内部遅延分の遅れで決定され、クロックT22の立ち上がりは、クロックT22の立ち上がりは、クロックQ(n-1)1の立ち上がりとクロックQ(n-1)2の立ち上がりのタイミングのタイミング差分割回路4a2でのタイミング分割と内部遅延分の遅れで決定され、以下同様にして、クロックT26の立ち上がりはクロックQ(n-1)3の立ち上がりとクロックQ(n-1)4の立ち上がりのタイミングのタイミング差分割回路4a6でのタイミング分割と内部遅延分の遅れで決定され、クロックT27の立ち上がりはクロックQ(n-1)4の立ち上がりのタイミングのタイミング差分割回路4a7での内部遅延分の遅れで決定され、クロックT28の立ち上がりはクロックQ(n-1)4の立ち上がりとクロックQ(n-1)1の立ち上がりのタイミングのタイミング差分割回路4a8でのタイミング分割と内部遅延分の遅れで決定される。

【0049】

クロックT21とT23はパルス幅補正回路4c1に入力され、パルス幅補正回路4c1では、クロックT21で決定される立ち下がりエッジ、クロックT23で決定される立ち上がりエッジを有するパルスP21を出力する。同様の手順でパルスP22~P28が生成され、クロックP21~P28は位相が45度ずつずれたデューティ25%の8相のパルス群となる。このクロックP21と位相

が180度ずれたクロックP25は、多重化回路4b1で多重化反転され、デューティ25%のクロックQn1として出力される。

【0050】

同様に、クロックQn2～Qn4が生成される。クロックQn1～Qn4は、位相が90度ずつずれたデューティ50%の4相のパルス群となり、クロックQn1～Qn4の周期は、クロックQ(n-1)1～Q(n-1)4からクロックQn1～Qn4を生成する過程で、周波数が2倍に通倍される。

【0051】

図8(a)、及び図8(b)は、図7に示したタイミング差分割回路4a1、4a2の構成の一例をそれぞれ示す図である。これらの回路は互いに同一構成とされており、二つの入力が、同一信号であるか、隣り合う二つの信号が入力されるかが相違している。すなわち、タイミング差分割回路4a1では、同一入力Q(n-1)1が2入力NOR51に入力され、タイミング差分割回路4a2ではQ(n-1)1とQ(n-1)2が2入力NOR61に入力されていること以外、タイミング差分割回路は同一構成である。2入力NOR51、61は、周知のように、電源VDDと出力端の間に直列に接続され、入力信号IN1、IN2をゲートにそれぞれ入力する二つのPチャンネルMOSトランジスタと、出力端とグランド間に並列に接続され、入力信号IN1、IN2をゲートにそれぞれ入力する二つのNチャンネルMOSトランジスタからなる。

【0052】

2入力NOR51(NOR61)の出力ノードである内部ノードN51(N61)は、インバータINV51(INV61)の入力端に接続され、内部ノードとグランド間には、NチャンネルMOSトランジスタMN51と容量CAP51を直列接続した回路、NチャンネルMOSトランジスタMN52と容量CAP52を直列接続した回路、NチャンネルMOSトランジスタMN53と容量CAP53を直列接続した回路を、並列に接続し、各NチャンネルMOSトランジスタMN51、MN52、MN53のゲートには、周期検知回路6からの制御信号7がそれぞれ接続され、オン・オフ制御される。NチャンネルMOSトランジスタMN51、MN52、MN53のゲート幅と容量CAP51、CAP52、CAP53は、

そのサイズ比が、例えば1:2:4とされており、周期検知回路6(図5参照)から出力される制御信号7に基づき、共通ノードに接続される負荷を、8段階に調整することで、クロック周期が設定される。

【0053】

図9は、図8に示したタイミング差分割回路4a1、4a2の動作を説明するためのタイミング図である。

【0054】

タイミング差分割回路4a1については、クロックQ(n-1)1の立ち上がりエッジにより、ノードN51の電荷がNOR51のNチャネルMOSトランジスタを介して引き抜かれ、ノードN51の電位がインバータINV51のしきい値に達したところで、インバータINV51の出力であるクロックT21が立ち上がる。インバータINV51のしきい値に達したところまで引き抜く必要のあるノードN51の電荷をCV(ただし、Cは容量値、Vは電圧)とし、NOR51のNチャネルMOSトランジスタによる放電電流をIとすると、クロックQ(n-1)1の立ち上がりから、CVの電荷量を、電流値2Iで放電することになり、その結果、時間CV/2Iが、クロックQ(n-1)1の立ち上がりエッジから、クロックT21の立ち上がりまでのタイミング差(伝搬遅延時間)を表している。クロックQ(n-1)1がLowレベルのとき、2入力NOR51の出力側ノードN51がHighに充電され、インバータINV51の出力クロックT21はLowレベルとなる。

【0055】

タイミング差分割回路4a2については、クロックQ(n-1)1の立ち上がりエッジから時間tCKn(tCKn=クロック周期)後の期間、ノードN61の電荷がNOR61に引き抜かれ、時間tCKn後、クロックQ(n-1)2の立ち上がりエッジから、ノードN61の電位がインバータINV61のしきい値に達したところで、クロックT22のエッジが立ち上がる。ノードN61の電荷をCVとし、2入力NOR61のNMOSトランジスタの放電電流をIとすると、クロックQ(n-1)1の立ち上がりからCVの電荷量をtCKnの期間Iの電流で放電し、残りの期間を電流2Iで引き抜く結果、時間、

$$t_{CKn} + (CV - t_{CKn} \cdot I) / 2I \\ = CV / 2I + t_{CKn} / 2 \quad \dots(1)$$

が、クロックQ(n-1)1の立ち上がりエッジからクロックT22の立ち上がりエッジのタイミング差を表している。

【0056】

すなわち、クロックT22とクロックT21の立ち上がりのタイミング差は、 $t_{CKn} / 2$ となる。

【0057】

クロックQ(n-1)1とQ(n-1)2がともにLowレベルとなり、2入力NOR61の出力側ノードN61が、NOR61のPMOSトランジスタを介して電源からHighレベルに充電された場合、クロックT22が立ち上がる。

【0058】

図7のクロックT22～T28についても同様とされ、クロックT21～T28の立ち上がりのタイミング差はそれぞれ $t_{CKn} / 2$ となる。

【0059】

パルス幅補正回路4c1～4c8(図6参照)は、位相が45度ずつずれたデューティ25%の8相のパルス群P21～P28(図7参照)を生成する。

【0060】

多重化回路4b1～4b4(図6参照)は、位相が90度ずつずれたデューティ50%の4相のパルス群Qn1～Qn4(図7参照)を生成する。

【0061】

図7のクロックQn1～Qn4が、図4の4相クロック発生回路201から出力されるものとする、Qn1～Qn4を入力するセレクタ203は、制御回路202からの選択信号の制御のもと、クロックQn1、Qn2、Qn3、Qn4の順に選択して出力する。クロックQn1～Qn4の周期をTとするとすると、周期 $T(1 + 1/4)$ のクロックがセレクタ203から出力される。

【0062】

図10は、図6等の4相クロック逡倍回路に用いられるタイミング差分割回路の別の例を示す図である。図10を参照すると、第1、第2の入力信号IN1、

IN2を入力とする論理和回路OR1と、電源VCCと内部ノードN26間に接続され、論理和回路OR1の出力信号をゲート入力とするPチャンネルMOSトランジスタMP1と、内部ノードN26の電位を反転出力するインバータINV3と、内部ノードN26にドレインが接続され、第1の入力信号IN1、第2の入力信号IN2をそれぞれゲートに入力とし、ソースが定電流源I₀に接続されるNチャンネルMOSトランジスタMN1、MN2を備えている。内部ノードN26と接地間には、NチャンネルMOSトランジスタよりなるスイッチ素子MN11~MN15と、容量CAP11~CAP15が接続され、NチャンネルMOSトランジスタよりなるスイッチ素子MN11~MN15の制御端子（ゲート端子）には、図8を参照して説明したタイミング差分割回路と同様、図5の周期検知回路6から出力される制御信号7が接続され、制御信号7の値により、NチャンネルMOSトランジスタMN11~MN15がオン・オフ制御され、内部ノードN26に付加する容量値が決められる。容量CAP11~CAP15の容量値の比は、16:8:4:2:1とされ、NチャンネルMOSトランジスタMN11~MN15のW（ゲート幅）/L（ゲート長）比は、16:8:4:2:1とされる。

【0063】

第1、第2の入力信号IN1、IN2がLowレベルのとき、論理和回路OR1の出力はLowレベルとなり、PチャンネルMOSトランジスタMP1がオン（導通）し、これにより内部ノードN26が電源電位に充電されインバータINV3の出力はLowレベルとされる。

【0064】

第1、第2の入力信号IN1、IN2の一方又は両方がHighレベルとなると、論理和回路OR1の出力はHighレベルとなり、PチャンネルMOSトランジスタMP1がオフし、内部ノードN26と電源Vccとの電源パスがオフし、一方、NチャンネルMOSトランジスタMN1とMN2の一方又は両方がオンして内部ノードN26が放電されて、内部ノードN26の電位が電源電位から下がり始め、インバータINV3のしきい値以下に下がった場合、インバータINV3の出力はLowレベルから立上ってHighレベルとなる。

【0065】

図11は、図8、図10に示したタイミング差分割回路（TMD）の動作を説明するための図である。図10（a）を参照すると、3つのタイミング差分割回路（TMD）において、第一のタイミング差分割回路（TMD）は、その2入力に、同一の入力信号IN1が入力され出力信号OUT1を出力し、第2のタイミング差分割回路（TMD）には入力信号IN1、IN2が入力され出力信号OUT2を出力し、第3のタイミング差分割回路（TMD）は、その2入力に、同一の入力信号IN2が入力され出力信号OUT3を出力する。このうち、入力信号IN1、IN2を入力し出力信号OUT2を出力する第二のタイミング差分割回路（TMD）が、図8（b）のタイミング差分割回路の構成に対応している。またIN1を共通に入力するタイミング差分割回路（TMD）、IN2を共通に入力するタイミング差分割回路（TMD）は、図8（a）において、同一信号を入力する構成とされ、図6のタイミング差分割回路4a2等の構成に対応している。

【0066】

図11（b）は、タイミング差Tの入力信号IN1、IN2を入力した第一乃至第三のタイミング差分割回路の出力信号OUT1～OUT3の出力と、第一乃至第三のタイミング差分割回路の内部ノードの変化A1～A3を示している。説明を容易とするため、内部ノードは電位0から充電され、しきい値Vtを超えたとき、出力信号がLowからHighレベルに変化（立上がる）するものとする。

【0067】

図11（b）を参照すると、入力信号IN1と入力信号IN2間には、タイミング差（T）があり、第一のタイミング差分割回路（TMD）は遅延時間t1の出力信号OUT1を出力し、第三のタイミング差分割回路（TMD）は遅延時間t3の出力信号OUT3を出力し、第二のタイミング差分割回路（TMD）は、遅延時間t2の出力信号OUT2を出力し、遅延時間t2は、遅延時間t1とt3を分割（内分）した値とされている。

【0068】

$$t1 = CV/2I、$$

$$\begin{aligned}
 t_2 &= T + (CV - IT) / (2I) \\
 &= T/2 + CV/2I \quad \dots (2)
 \end{aligned}$$

とされる。

【0069】

また、

$t_3 = T + CV/2I$ とされる（図11(c)参照）。ただし、内部ノードが入力端に接続されるバッファ回路（インバータ）のしきい値を超えるまでに放電する電荷をCVとする。

【0070】

次に、本発明の実施例の位相調整回路101等で用いられ、入力する二つの信号のタイミング差を分割する内分比が可変に設定可能とされるインターポレータの構成について説明する。

【0071】

図12は、図1の位相調整回路101等を構成する、タイミング差の内分比が可変に設定可能なインターポレータの回路構成の一例を示す図である。図12を参照すると、このインターポレータは、ソースが電源Vccに接続され、ドレインが内部ノードN31に接続され、第1、第2の入力信号IN1、IN2を入力とする否定論理積回路NAND01の出力信号をゲートに入力するPチャンネルMOSトランジスタMP1と、内部ノード電位としきい値電圧の大小関係が変化した時に、出力信号の論理値をスイッチングさせるインバータ回路INV3と、入力信号IN1、IN2に入力端がそれぞれ接続されているインバータ回路INV1、INV2と、内部ノードN31にドレインが共通接続され、ゲートがインバータ回路INV1の出力に接続される16個のNチャンネルMOSトランジスタMN11₁~MN11₁₆と、内部ノードN31にドレインが共通接続され、ゲートがインバータ回路INV2の出力に接続される16個のNチャンネルMOSトランジスタMN12₁~MN12₁₆と、NチャンネルMOSトランジスタMN11₁~MN11₁₆のソースにドレインが接続され、ソースが定電流源I₀にそれぞれ接続され、ゲートが制御回路（図1の制御回路102等）からの選択信号（PH）を入力して反転するインバータ回路INV4の出力に接続され、オン・オフ制御さ

れる16個のNチャンネルMOSトランジスタ（スイッチ素子） $MN21_1 \sim MN21_{16}$ と、NチャンネルMOSトランジスタ $MN12_1 \sim MN12_{16}$ のソースにドレインが接続され、ソースが定電流源 I_0 にそれぞれ接続され、ゲートが制御回路（図1の制御回路102等）からの選択信号（PH）に接続され、オン・オフ制御される16個のNチャンネルMOSトランジスタ（スイッチ素子） $MN22_1 \sim MN22_{16}$ と、を備えている。

【0072】

さらに内部ノードN31と接地（GND）間には、容量Cが接続されている。

【0073】

入力信号IN1で、16並列のNチャンネルMOSトランジスタのうちN個（ただし、Nは0～16、N=0はオンするものがない場合であり、Nは制御信号Cで決定される）がオンし、時間T後に、入力信号IN2によって、 $(16-N)$ 個の並列のNチャンネルMOSトランジスタがオンし、全体で、 $N + (16-N) = 16$ 個のNチャンネルMOSトランジスタがオンする場合におけるタイミング差の内分の動作について説明する。

【0074】

並列のNチャンネルMOSトランジスタ1個に流れる電流はI（定電流源 I_0 の電流値）であり、インバータINV3の出力が反転するしきい値電圧をVとして、しきい値電圧Vまでの電荷の変動量をCVとする。

【0075】

ここで、入力信号IN1、IN2がともにHighレベルとされ、NAND01の出力がLowレベルとされ、PチャンネルMOSトランジスタMP1を介して、内部ノードN31は、電源側から充電された状態にあるものとする。この状態から、入力信号IN1、IN2がLowレベルに立ち下がる場合について説明する。

【0076】

まずN=16の場合、入力信号IN1で、16並列のNチャンネルMOSトランジスタ $MN11_1 \sim MN11_{16}$ のうち16個がオンし、時間T後に、入力信号IN2によって16個並列配置されるNチャンネルMOSトランジスタ $MN12_1 \sim$

$MN12_{16}$ がいずれもオフとされる ($(16-N) = 0$)。したがって、 $N=16$ の場合、定電流源 I_0 の電流を I として、入力信号 $IN1$ がLowレベルになってから、インバータ $INV3$ の出力が反転するまでの時間 $T(16)$ は、

$$T(16) = CV / (16 \cdot I) \quad \dots(3)$$

【0077】

$N=n$ ($n < 16$)の場合 (N は制御信号 C で設定される)、入力信号 $IN1$ がLowレベルになってから時間 T (ただし、 T は入力信号 $IN1$ と $IN2$ の立ち下がりエッジのタイミング差)の間、入力信号 $IN1$ の反転信号をゲートに入力とする n 個の N チャンネルMOSトランジスタがオンし、 $n \cdot I \cdot T$ の電荷が放電され、つづいて、入力信号 $IN2$ がLowレベルとなることで、入力信号 $IN2$ の反転信号をゲートに入力とする $16-n$ 個の N チャンネルMOSトランジスタがオンし、全体で、 16 の N チャンネルMOSトランジスタがオンし、内部ノード $N31$ に残存する電荷 ($CV - n \cdot I \cdot T$)を、 $(16 \cdot I)$ で放電した時点(時間 T')で、インバータ $INV3$ の出力が反転する(HighレベルからLowレベルとなる)。時間 T' は、 $(CV - n \cdot I \cdot T) / (16 \cdot I)$ で与えられる。

【0078】

したがって、入力信号 $IN1$ がLowレベルになってから、インバータ $INV3$ の出力が反転するまでの時間 $T(n)$ は、

$$\begin{aligned} T(n) &= (CV - n \cdot I \cdot T) / (16 \cdot I) + T \\ &= CV / (16 \cdot I) - (n/16) T + T \\ &= T(16) + ((16-n) / 16) \cdot T \quad \dots(4) \end{aligned}$$

で与えられる。

【0079】

n の値によって、入力信号 $IN1$ と $IN2$ のタイミング差 T を、 16 等分した位相の出力信号が得られる。すなわち、制御信号の設定により、 n を可変することで、入力信号 $IN1$ と $IN2$ の間のタイミング差を分解能 $1/16$ で分割した任意の位相の出力信号が得られる。このようなインターポレータを「 16 刻みのインターポレータ」ともいう。一般に、インターポレータを、 M 刻み (M は任意

の正整数) とする場合、NチャンネルMOSトランジスタMN11、MN12、MN21、MN22がそれぞれM個並列配置される。

【0080】

このインターポレータの入力IN1、IN2に、例えばタイミング差が1クロック周期tCKの二つの信号を入力し、入力クロック毎に、入力IN1から、タイミング差0、tCK/16、2tCK/16、…を出力することで、tCK(1+1/16)のクロック周期の信号を生成することができる。

【0081】

図13は、図1の位相調整回路101等を構成するインターポレータの回路構成を示す図であり、図12に示した構成において、内部ノードN31と接地間に、NチャンネルMOSトランジスタよりなるスイッチ素子と容量とからなる直列回路が、複数並列接続され(スイッチ素子MN21~MN35、容量CAP11~15)、スイッチ素子MN11~MN15の制御端子に接続する制御信号(容量選択周波数調整信号)7にて、内部ノードに付加する容量が決められる。容量CAP11~15は、容量値がC、2C、4C、8C、16Cとされ、スイッチ素子MN11~15の周期制御信号7の値によって、内部ノードに付加される容量値が可変される。周期制御信号7は外部から設定され、例えば図5に示した周期検知回路6から供給される制御信号7が用いられる。

【0082】

図12に示したインターポレータは、入力信号IN1、IN2がともにHighレベルのとき内部ノードN31が電源電位に充電され、入力信号IN1、IN2がHighレベルからLowレベルへの立下りの遷移に対して、内部ノードN31が放電され、出力信号が、LowレベルからHighレベルに立ち上がるものであるが、これ以外に、入力信号がLowレベルからHighレベルへの立ち上がり遷移に対して、出力信号が、LowレベルからHighレベルに立ち上がる構成としてもよい。入力信号IN1、IN2がHighレベルからLowレベルへの立下りの遷移に対して、出力信号が、HighレベルからLowレベルに立ち下がる論理とするには、反転型バッファであるインバータINV3を、正転バッファ回路とすればよい。

【0083】

図14は、図1の位相調整回路101等を構成するインターポレータの別の回路構成を示す図である。図14を参照すると、ソースが電源に接続され、ドレインが内部ノードN31に接続され、第1、第2の入力信号IN1、IN2を入力とする論理和回路OR1の出力信号をゲートに入力するPチャネルMOSトランジスタMP1と、内部ノード電位としきい値電圧の大小関係が変化した時に、出力信号の論理値をスイッチングさせるインバータ回路INV3と、内部ノードN31にドレインが共通接続され、ゲートが入力信号IN1に共通接続される16個のNチャネルMOSトランジスタMN11₁~MN11₁₆と、内部ノードN31にドレインが共通接続され、ゲートが入力信号IN2に共通接続される16個のNチャネルMOSトランジスタMN12₁~MN12₁₆と、NチャネルMOSトランジスタMN11₁~MN11₁₆のソースにドレインが接続され、ソースが定電流源I₀にそれぞれ接続され、ゲートが制御回路（図1の制御回路102等）からの選択信号（PH）を入力して反転するインバータ回路INV4の出力に接続され、オン・オフ制御される16個のNチャネルMOSトランジスタ（スイッチ素子）MN21₁~MN21₁₆と、NチャネルMOSトランジスタMN12₁~MN12₁₆のソースにドレインが接続され、ソースが定電流源I₀にそれぞれ接続され、ゲートが制御回路（図1の制御回路102等）からの選択信号（PH）に接続され、オン・オフ制御される16個のNチャネルMOSトランジスタ（スイッチ素子）MN22₁~MN22₁₆と、を備えている。

【0084】

図15は、図14に示した構成において、内部ノードN31と接地間に、NチャネルMOSトランジスタよりなるスイッチ素子と容量とからなる直列回路が、複数並列接続され（スイッチ素子MN21~MN35、容量CAP11~15）、スイッチ素子MN11~MN15の制御端子に接続する制御信号（容量選択周波数調整信号）7にて、内部ノードに付加する容量が決められる。容量CAP11~15は、容量値がC、2C、4C、8C、16Cとされ、スイッチ素子MN11~15の周期制御信号7の値によって、内部ノードに付加される容量値が可変される。周期制御信号7は外部から設定され、例えば図5に示した周期検知回

路 6 から供給される制御信号が用いられる。

【 0 0 8 5 】

次に本発明のさらに別の実施例について説明する。図 1 6 は、本発明の第 4 の実施例の構成を示す図であり、図 3 に示した分周回路 1 0 3 と、位相調整回路 1 0 1 と、制御回路 1 0 2 とを備えたクロック制御回路において、位相調整回路 1 0 1 を、図 1 2 乃至図 1 5 に示したインターポレータで構成したものである。

【 0 0 8 6 】

分周回路 1 0 3 で分周した信号をデータ端子に入力し、クロック信号をクロック端子に入力する第 1 の D 型フリップフロップ 1 1 3 でラッチしたクロック信号と、該クロック信号を第 2 の D 型フリップフロップ 1 1 4 でラッチしたクロック信号を第 1、第 2 の入力 IN 1、IN 2 としてインターポレータ 1 1 0 に入力し、インターポレータ 1 1 0 は、第 1、第 2 の入力 IN 1、IN 2 のタイミング差（クロック CLK の周期 t CK）を、加算回路 1 1 2 と、加算回路 1 1 2 の出力をデコードするデコーダ 1 1 1 からなる制御回路 1 0 2 より出力される制御信号（選択信号）で設定される、内分比で分割した出力信号 OUT を出力する。

【 0 0 8 7 】

図 1 7 は、図 1 6 に示した回路の動作の一例を説明するためのタイミング波形図である。分周回路 1 0 3 は、クロックを 1 / 4 分周しており、インターポレータ 1 1 0 は、図 1 4 に示した回路よりなり、入力信号 IN 1、IN 2 がともに Low レベルのとき内部ノードを充電し、入力信号 IN 1、IN 2 が Low レベルから High レベルへ遷移する立ち上がりに対して、内部ノード N 3 1 が放電され、インバータ回路 INV 3 を介して、入力信号 IN 1、IN 2 のタイミング差（クロック周期 t CK）を、制御信号 PH で設定される内分比で分割したタイミングで立ち上がる出力信号 OUT が出力される。

【 0 0 8 8 】

図 1 7 を参照すると、クロックサイクル T 2 のクロックの立ち上がりエッジから時間 $\Delta \phi$ 遅れて、インターポレータ 1 1 0 から信号 OUT が Low レベルから High レベルに立ち上がり、クロックサイクル T 4 で、インターポレータに入力される入力信号 IN 1、IN 2 がともに Low レベルとなり、内部ノード N 3

1が電源電位に充電されて出力OUTはLowレベルとなり、インターポレータのNチャンネルMOSトランジスタMN21、MN22のゲートに供給される制御信号PHの値が切り替えられ、クロックサイクルT6のクロックの立ち上がりエッジから時間 $2\Delta\phi$ 遅れて、インターポレータ110から信号OUTがLowレベルからHighレベルに立ち上がる。この場合、インターポレータ110から出力される出力クロックの周期は、 $4t_{CK} + \Delta\phi$ となる。

【0089】

このように、分周クロックのクロックサイクル内の所定のタイミングで、インターポレータ110（図12乃至図15参照）のNチャンネルMOSトランジスタMN21、22に供給する制御信号（図1の選択信号）の設定値を可変させることで、分周クロックサイクルベースで、出力クロックの入力クロックのエッジに対するタイミング（位相差）を可変させ、周波数の変換を行う、ことができる。

【0090】

次に本発明のさらに別の実施例について説明する。図18は、本発明の第5の実施例の構成を示す図であり、図1に示した位相調整回路101に、図12乃至図15のインターポレータを用いて構成した一例を示す図である。図18を参照すると、2段直列に接続され、後段の出力をインバータINVで反転した信号が前段のデータ端子Dに帰還入力されるD型フリップフロップ211、212と、D型フリップフロップ212の出力を入力とし、直列に接続されシフトレジスタを構成する第1の乃至第4D型フリップフロップ213～216と、第1、第2のフリップフロップ213、214の出力Q1、Q2を入力としそのタイミング差Tを分割した遅延時間の信号を出力する第1のインターポレータ217と、第2、第3のフリップフロップ214、215の出力Q2、Q3を入力としそのタイミング差Tを分割した遅延時間の信号を出力する第2のインターポレータ218と、第3、第4のフリップフロップ215、216の出力Q3、Q4を入力としそのタイミング差Tを分割した遅延時間の信号を出力する第3のインターポレータ219と、第4、第1のフリップフロップ216、213の出力Q4、Q1を入力としそのタイミング差Tを分割した遅延時間の信号を出力する第4のイン

ターポレータ 220 と、を備えている。第 1 乃至第 4 のインターポレータ 217 ~ 220 には、タイミング差の内分比を設定する制御信号 222 が不図示の制御回路から供給される。

【0091】

第 1 乃至第 4 のインターポレータ 217 ~ 220 に供給される制御信号 222 の値は、クロック毎に切り替えることなく、固定値としてもよい。

【0092】

図 19 は、図 18 に示した回路の動作の一例を説明するための図である。図 19 を参照すると、第 1 のインターポレータ 217 は、信号 Q1、Q2 のタイミング差 t_{CK} を分割した出力信号（クロックサイクル T2 のクロックの立ち上がりエッジからタイミング差 $\Delta\phi$ ）の信号を出力し、第 2 のインターポレータ 218 は、信号 Q2、Q3 のタイミング差 t_{CK} を分割した出力信号（クロックサイクル T3 のクロックの立ち上がりエッジからタイミング差 $2\Delta\phi$ ）の信号を出力し、第 3 のインターポレータ 219 は、信号 Q3、Q4 のタイミング差 t_{CK} を分割した出力信号（クロックサイクル T4 のクロックの立ち上がりエッジからタイミング差 $3\Delta\phi$ ）の信号を出力し、第 4 のインターポレータ 220 は、信号 Q4、Q1 のタイミング差 t_{CK} を分割した出力信号（クロックサイクル T5 のクロックの立ち上がりエッジからタイミング差 $4\Delta\phi =$ クロックサイクル T6 の始まる）の信号を出力する。この場合、インターポレータからは、入力クロック（クロック周期 t_{CK} ）に対して、周期 $t_{CK} (1 + 1/4)$ のクロックが出力される。

【0093】

第 1 乃至第 4 のインターポレータ 217 ~ 220 は、アプリケーションに応じて、論理回路で演算した結果を出力してもよいし、あるいはセレクタで選択出力する構成としてもよい。本発明は、例えば $mBnB$ （ m ビット n ビット）符号化システムにおける、速度変換回路に用いて好適とされる。

【0094】

次に本発明のさらに別の実施例について説明する。図 20 は、本発明の第 6 の実施例の構成を示す図である。図 20 を参照すると、逓倍用インターポレータ 1

0と、スイッチ（ロータリースイッチ）20と、インターポレータ30（「微調用インターポレータ」ともいう）と、制御回路40を備えている。

【0095】

通倍用インターポレータ10は、入力クロック1から多相通倍クロックP0～Pnを生成する。通倍用インターポレータ10は、図5に示した構成からなる。

【0096】

スイッチ20は、多相通倍クロックP0～Pnの中の二つのクロックを選択し、微調用インターポレータ30の二つの入力信号として供給する。

【0097】

制御回路40は、スイッチ20、及び、微調用インターポレータ30への制御信号S、PH（インターポレータ30のNチャネルMOSトランジスタ21、22のゲートに供給される制御信号）を供給する。制御回路40は、クロック1を入力とする加算回路（不図示）と、加算回路の出力をデコードして制御信号S、PHを出力するデコーダ（不図示）を備えて構成されている。

【0098】

スイッチ20は、多相クロックP0～Pnのうち、制御回路40からの制御信号Sに基づき、互いに隣合う、奇位相信号と偶位相信号を選択し、選択したクロック対をインターポレータ30に供給し、インターポレータ30は、制御回路40から出力される制御信号に基づき、二つの入力の位相差（タイミング差）を内分した位相の信号を出力する。本実施例において、インターポレータ30は、図12乃至図15等に示した構成とされる。

【0099】

図21は、インターポレータ30を、図15に示した回路で構成し、通倍用インターポレータ10（図5参照）が、4相の通倍クロックP0～P3を生成出力する場合の動作の一例を示す図である。

【0100】

ロータリースイッチ20は、多相クロックP0～P3のうち、例えば、（P0、P1）、（P1、P2）、（P2、P3）、（P3、P0）、（P0、P1）、…と巡回的に選択する。多相クロックの周期をTとすると、クロックサイクルT

1で、スイッチ20はP0、P1を選択し、インターポレータ30はP0、P1の立ち上がりを受けて出力信号OUTを出力し、サイクルT2で、スイッチ20はP1、P2を選択し、インターポレータ30は、P1、P2の立ち上がりを受けて、前の出力信号OUTの立ち上がりエッジから時間 $T(1 + 1/4)$ のタイミングで出力信号OUTを出力し、以下、スイッチはP3、P4、つづいてP4、P1を選択し、周期 $T(1 + 1/4)$ のクロックを出力する。

【0101】

図21に示す例では、インターポレータは、通倍クロックの周期Tに対して周期 $(1 + 1/4)T = 5T/4$ のクロックを出力しており（周波数は $4/5$ 倍）、通倍用インターポレータ10が入力クロックを $2m$ 通倍している場合、出力クロックの周波数は $8m/5$ 倍に変換される。

【0102】

次に本発明のさらに別の実施例について説明する。図22は、本発明の第7の実施例の構成を示す図である。図22を参照すると、本発明の第7の実施例は、図20に示した構成の変形例であり、ロータリスイッチ20が二組のクロック対を出力して、それぞれ第1、第2のインターポレータ 30_1 、 30_2 に供給し、二つのインターポレータ 30_1 、 30_2 の出力を入力とする第3のインターポレータ 30_3 の出力から出力クロックを得る。

【0103】

本実施例において、第1乃至第3のインターポレータ $30_1 \sim 30_3$ の各インターポレータのタイミング差の内分比は制御回路40からの制御信号で可変される構成としてもよい。あるいは、アプリケーションで求められるタイミング精度に応じ、インターポレータ 30_1 は、タイミング差の内分比が固定とされ、インターポレータ 30_2 とインターポレータ 30_3 の内分比が制御回路40からの制御信号で可変される構成としてもよい。さらには、インターポレータ 30_1 とインターポレータ 30_2 をタイミング差の内分比を固定とし、最終段のインターポレータ 30_3 のみその内分比が制御回路40からの制御信号で可変される構成としてもよい。

【0104】

本発明の第7の実施例は、図20に示した構成と比較して、微調用インターポレータを多段構成としたことにより、タイミング差の内分比をさらに細かく設定することができる。第2、第3のインターポレータ 30_2 、 30_3 を、図12乃至図15に示した16等分インターポレータで構成した場合、 $1/256$ の分解能でタイミング差を内分することができる。

【0105】

次に本発明の第8の実施例について説明する。図23は、図3に示した構成の変形例を示す図であり、クロックを分周回路60で分周し、二つのクロック対を出力して第1、第2のインターポレータ 30_1 、 30_2 に供給し、二つのインターポレータ 30_1 、 30_2 の出力を入力とする第3のインターポレータ 30_3 の出力から出力クロックを得るようにしたものである。

【0106】

次に本発明の第9の実施例について説明する。図24は、本発明の第9の実施例の構成を示す図である。図24を参照すると、本発明の第9の実施例は、図18に示した構成の変形例に対応するものであり、入力クロックに基づき、該入力クロックを逡倍してなる互いに位相の異なる第1乃至第nのクロック $P_1 \sim P_n$ （n相逡倍クロック）を生成する逡倍用インターポレータ10と、逡倍用インターポレータ10から出力される、第1乃至第nのクロック $P_1 \sim P_n$ について、互いに隣接する位相の二つのクロックを入力し、該二つのクロックのタイミング差を、それぞれ互いに異なる所定の内分比で分割した信号をそれぞれ出力する第1乃至第nのインターポレータ $30_1 \sim 30_n$ と、第1乃至第nのインターポレータ（微調用インターポレータ） $30_1 \sim 30_n$ の出力を入力し、これらを多重化して、一つの出力信号OUTとして出力する合成器50を備えている。

【0107】

第1乃至第nのインターポレータ $30_1 \sim 30_n$ は、図12乃至図15に示した構成とされ、二つの入力信号のタイミング差Tを、m刻み（ $n \leq m$ ）で分割するものとする。n相の多相逡倍クロックを生成する逡倍用インターポレータ10と微調用インターポレータ30により、出力信号OUTとして、クロック周期（360度）を $n \times m$ 刻みで分割したタイミングを生成することができる。

【0108】

図24に示す例では、図18に示した構成と同様、 n 相のクロックのうち、隣接する i 番目と $i+1$ 番目のクロック P_i 、 P_{i+1} （ただし、 i は $1 \sim n$ の整数、 $n+1$ 番目のクロックは1番目のクロック P_1 となる）を入力とするインターポレータ 30_i と、 $i-1$ 番目と i 番目のクロック P_{i-1} 、 P_i を入力とするインターポレータ 30_{i-1} とは、タイミング差の内分比が異なるように設定されており、インターポレータ 30_i の方が、インターポレータ 30_{i-1} よりも、遅延時間は大きくなる。

【0109】

第1乃至第 n のインターポレータ $30_1 \sim 30_n$ の出力を入力して多重化し、出力信号OUTとして出力する合成器50は、例えば図6に示した、パルス幅補正回路4c、多重化回路4bで構成される。

【0110】

図24に示した構成において、通倍用インターポレータ10から出力される n 相の多相通倍クロックから、 M 相のクロック（ M 通倍クロック）を生成する構成について説明する。この場合、インターポレータ30は M 個並設される（ただし、 $M \leq N$ ）。この場合も、 i 番目のインターポレータ 30_i には、隣接する i 番目と $i+1$ 番目のクロック P_i 、 P_{i+1} （ただし、 i は $1 \sim M$ の整数、なお、 $n+1$ 番目のクロックは1番目のクロック P_1 となる）が入力される。各インターポレータ30における二つの入力信号のタイミング差 T の分割位置を規定する内分比として、

1番目のインターポレータ 30_1 は、内分比 $m : M - m$ 、

2番目のインターポレータ 30_2 は、内分比 $2m : M - 2m$ 、

3番目のインターポレータ 30_3 は、内分比 $3m : M - 3m$ 、

…という具合に、インターポレータの番号とともに、昇順に、順次、タイミング差 T の分割位置が、単位ステップ m ごとに、タイミング区間の先端側から後端側にずらして設定される。なお、インターポレータの番号とともに、順次、タイミング差 T の分割位置を、単位ステップ m ごとに、タイミング区間の後端側から先端側にずらして設定するようにしてもよい。この設定は、図12乃至図15を

参照して説明したように、インターポレータに供給される制御信号PHにて、インターポレータのNチャンネルMOSトランジスタMN21、MN22のオン・オフを制御することで設定される。なお、本実施例において、各インターポレータの内分比は固定値とされる。

【0111】

M個のインターポレータ30の出力を多重化して一つの出力信号OUTとして出力する合成器50からは、M通倍のクロックを得ることができる。例えばn=8、M=7の場合において、m=1とした場合、通倍用インターポレータ10から出力される8相クロック（8相通倍クロック）から、7相のクロックを生成することができる。そして、7相クロックを入力する合成器50からは、7通倍クロックが出力される。

【0112】

図25は、16等分インターポレータの集積回路のレイアウトの一例を示す図である。

【0113】

図26は、微調インターポレータを用いた位相調整回路のシミュレーション波形を示す図であり、625MHzの位相差を16等分インターポレータで16等分し、位相切り替わり部分の5位相分を表示したものである。微調位相差は12.5psとなる。

【0114】

上記した本発明の実施例によれば、インターポレータを複数段備えた構成とすることで、出力信号のタイミングエッジを10ピコ秒のオーダで制御することができる。すなわち、本発明は、LSIにおけるクロック周波数変換回路、クロック同期回路のみならず、測定装置、試験装置におけるパターン発生器、タイミング生成器等に適用され、例えば10ピコ秒のオーダの分解能で、オンザフライでタイミングが可変に設定されるLSIテストのタイミング生成器等に用いて好適とされる。

【0115】

また上記実施例において、例えば、図3及び図23等を参照して説明した分周

回路と位相調整回路（位相微調用のインターポレータ）を備えた構成は、位相比較器の位相差に応じた電圧を生成するチャージポンプと、ループフィルタと、ループフィルタの出力を制御電圧として入力するVCO（電圧制御発振器）と、VCOの出力を分周した信号を該位相比較器に供給する分周回路を備えたPLL（位相同期ループ）回路における分周回路に適用することができる。

【0116】

【発明の効果】

以上説明したように、本発明によれば、簡易な構成により、高精度に、非整数の周波数変換を行うことができる、という効果を奏する。

【0117】

その理由は、本発明においては、クロックを入力とする位相調整回路から出力される信号の位相を、クロック毎に、単位位相差、加算又は減算する構成としたためである。

【0118】

また本発明によれば、帰還系を備えず、帰還系特有のジッタがなく、高速なクロック同期を可能としている。

【図面の簡単な説明】

【図1】

本発明の第1の実施例の構成を示す図である。

【図2】

本発明の第1の実施例の動作を説明するためのタイミング図である。

【図3】

本発明の第2の実施例の構成を示す図である。

【図4】

本発明の第3の実施例の構成を示す図である。

【図5】

本発明の第3の実施例の多相クロック生成回路の構成の一例を示す図である。

【図6】

図5の4相クロック通倍回路の構成の一例を示す図である。

【図 7】

図 6 の 4 相クロック通倍回路の動作を説明するためのタイミング図である。

【図 8】

図 6 のタイミング差分割回路（インターポレータ）の回路構成の一例を示す図である。

【図 9】

図 8 のタイミング差分割回路（インターポレータ）の動作を説明するためのタイミング図である。

【図 1 0】

タイミング差分割回路（インターポレータ）の回路構成の別の例を示す図である。

【図 1 1】

タイミング差分割回路（インターポレータ）の動作原理を説明するための図である。

【図 1 2】

本発明の実施例で用いられる内分比可変型のインターポレータの回路構成の第 1 の例を示す図である。

【図 1 3】

本発明の実施例で用いられる内分比可変型のインターポレータの回路構成の第 2 の例を示す図である。

【図 1 4】

本発明の実施例で用いられる内分比可変型のインターポレータの回路構成の第 3 の例を示す図である。

【図 1 5】

本発明の実施例で用いられる内分比可変型のインターポレータの回路構成の第 4 の例を示す図である。

【図 1 6】

本発明の第 4 の実施例の構成を示す図である。

【図 1 7】

本発明の第 4 の実施例の動作を説明するためのタイミング図である。

【図 1 8】

本発明の第 5 の実施例の構成を示す図である。

【図 1 9】

本発明の第 5 の実施例の動作を説明するためのタイミング図である。

【図 2 0】

本発明の第 6 の実施例の構成を示す図である。

【図 2 1】

本発明の第 6 の実施例の動作を説明するためのタイミング図である。

【図 2 2】

本発明の第 7 の実施例の構成を示す図である。

【図 2 3】

本発明の第 8 の実施例の構成を示す図である。

【図 2 4】

本発明の第 9 の実施例の構成を示す図である。

【図 2 5】

本発明の実施例で用いられる 1 6 等分インターポレータのレイアウトを示す図である。

【図 2 6】

本発明の実施例において 1 6 等分インターポレータを用いた位相調整回路の出力のシミュレーション結果を示す波形図である。

【図 2 7】

従来クロック制御回路の一例を示す図である。

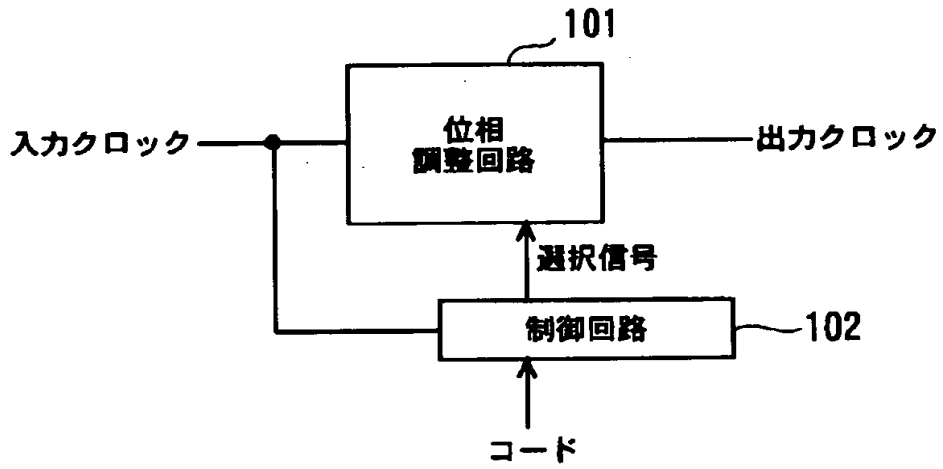
【符号の説明】

- 1 クロック
- 2 1 / 4 分周回路
- 4 a タイミング差分割回路
- 4 b 多重化回路
- 4 c パルス幅補正回路

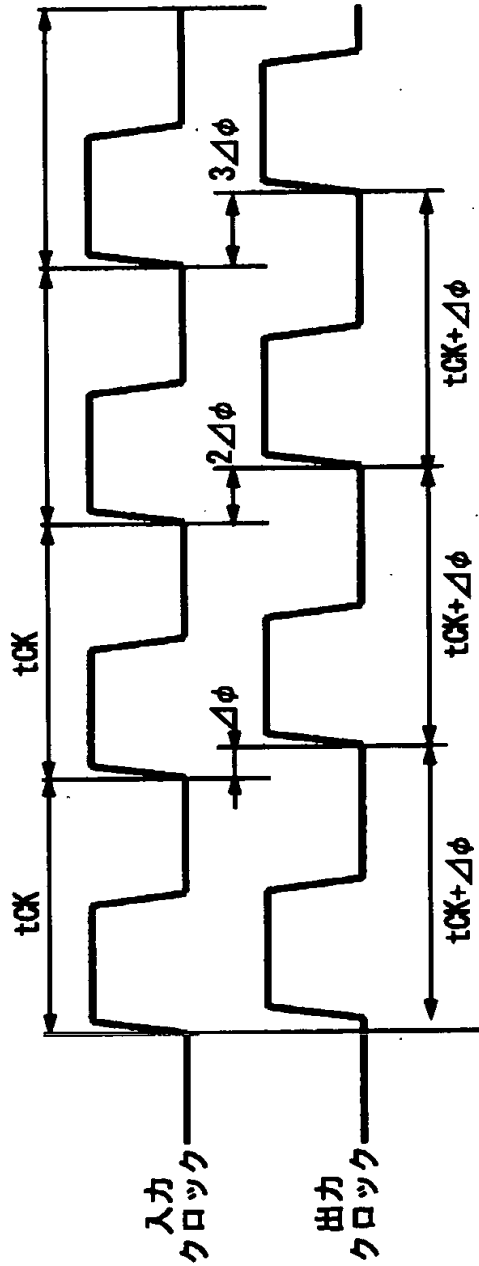
- 5 4相クロック通倍回路
- 6 周期検知回路
- 7 制御信号（容量選択周波数調整信号）
 - 10 通倍用インターポレータ
 - 20 ロータリースイッチ
 - 30 インターポレータ（微調用インターポレータ）
 - 40 制御回路
 - 50 合成器
 - 60 分周回路
 - 101 位相調整回路
 - 102、202 制御回路
 - 103 分周回路
 - 110 インターポレータ
 - 111 デコーダ
 - 112 加算回路
 - 113、114 D型フリップフロップ
 - 201 多相クロック発生回路
 - 203 セレクタ
 - 211～216 D型フリップフロップ
 - 217～211 インターポレータ
 - 319 位相比較回路
 - 320 チャージポンプ
 - 321 ループフィルタ
 - 322 電圧制御発振器
 - 323 分周回路
 - 324 外部クロック
 - 325 UP信号
 - 326 DOWN信号

【書類名】 図面

【図 1】

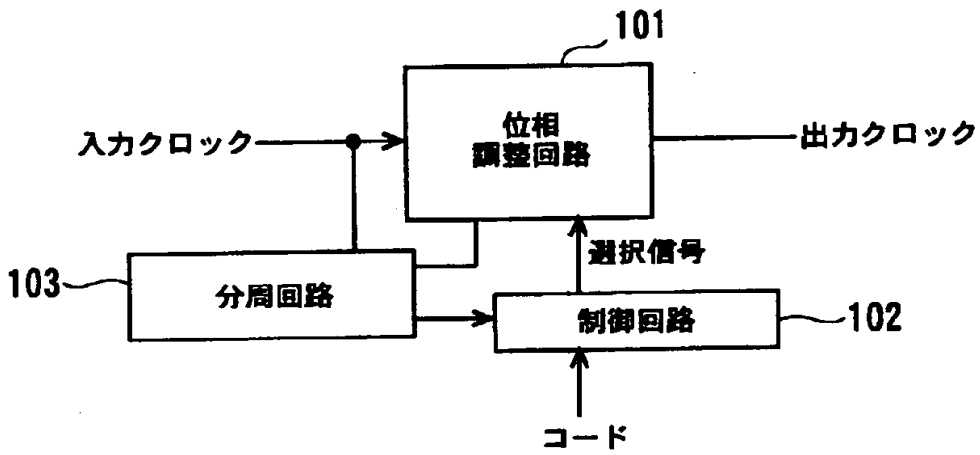


【図2】

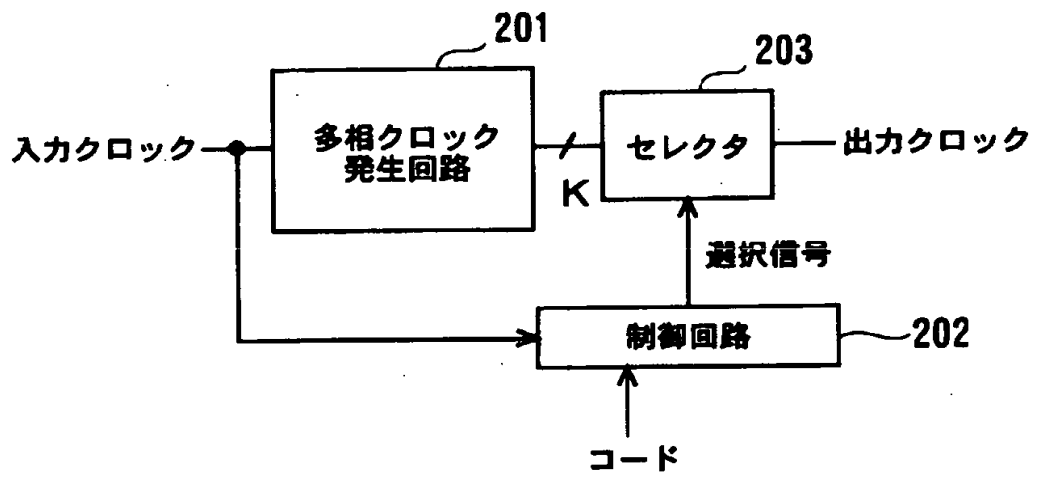


周期比 = $(t_{CK} + \Delta\phi) / t_{CK}$

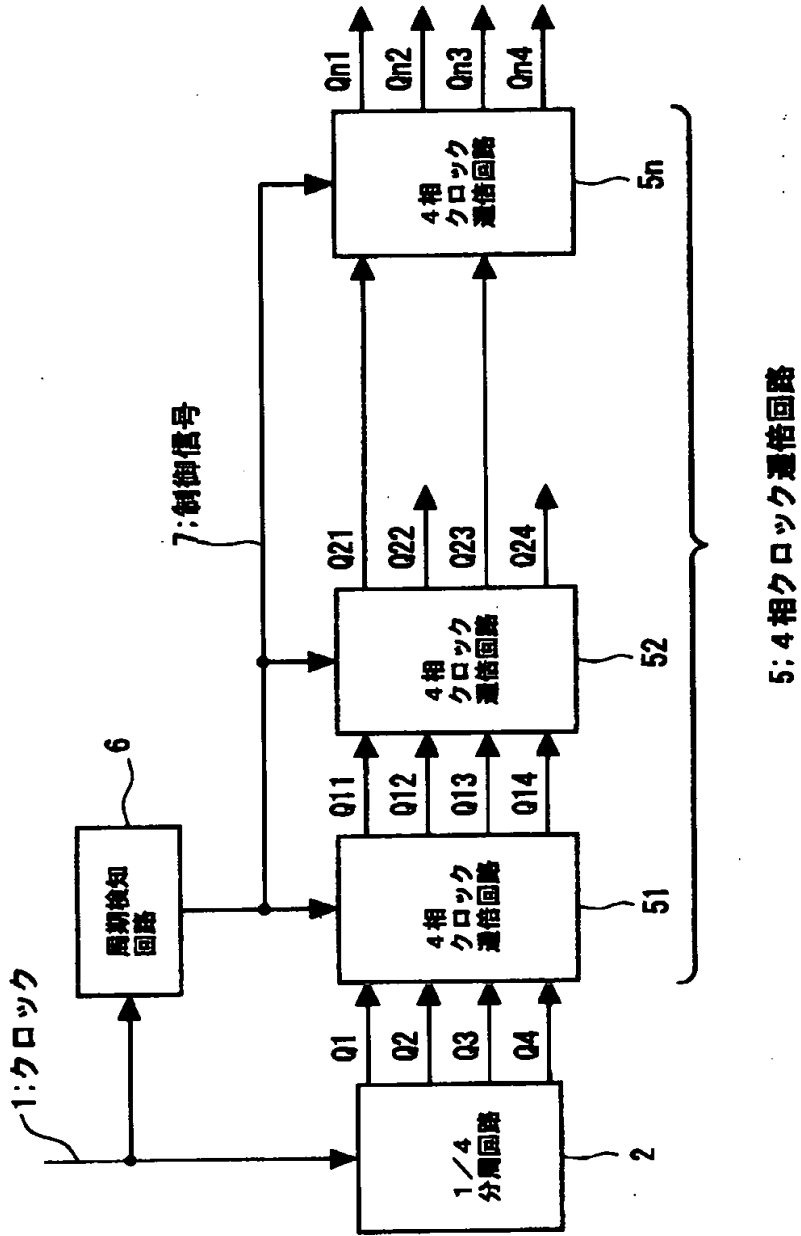
【図3】



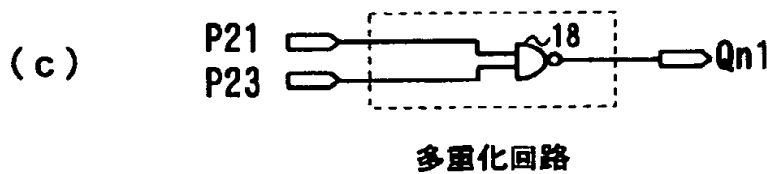
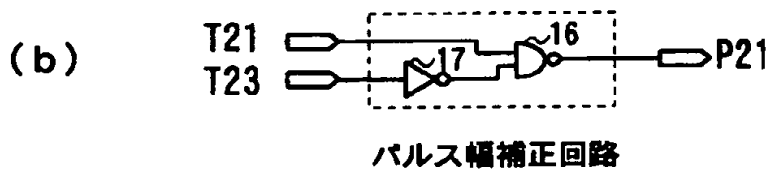
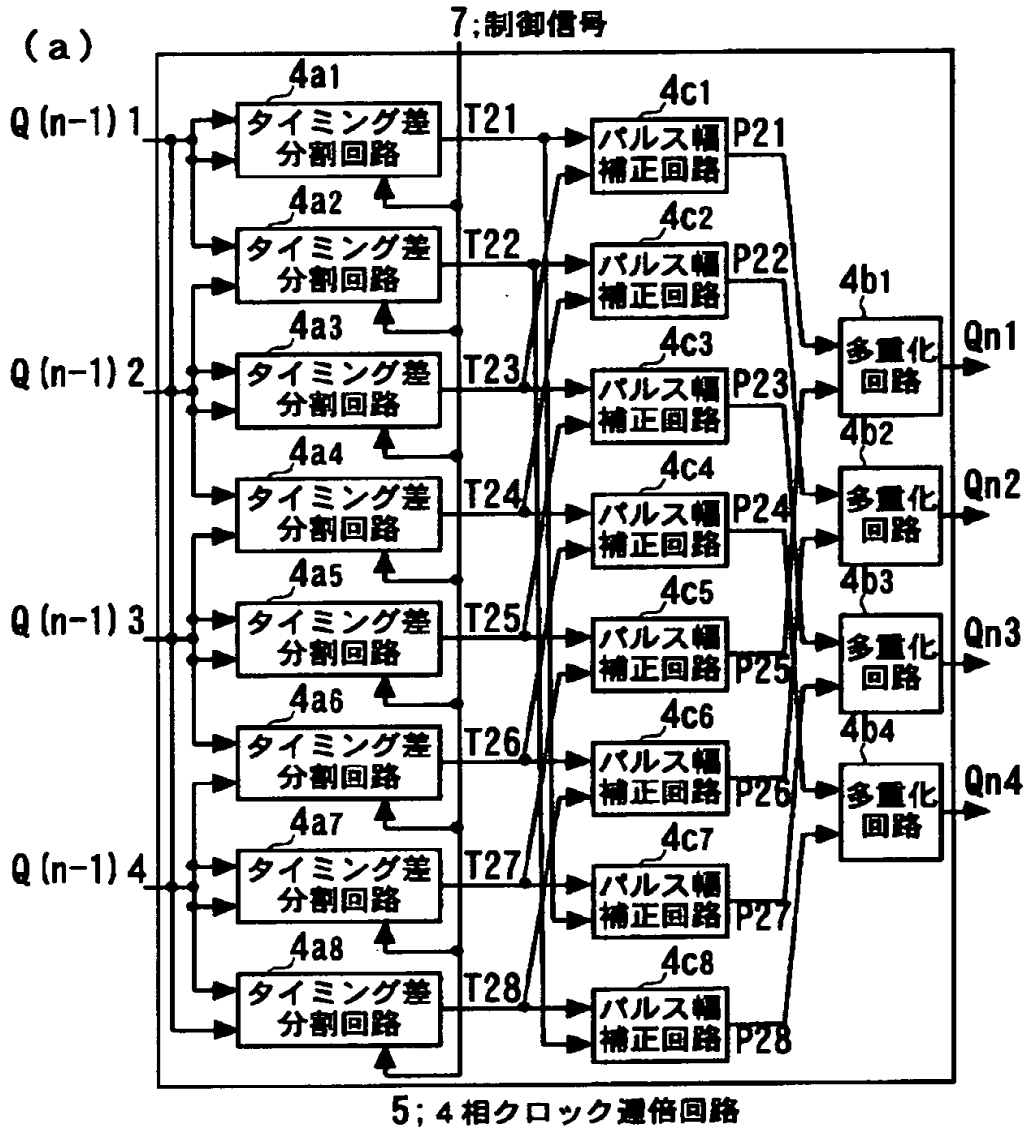
【図4】



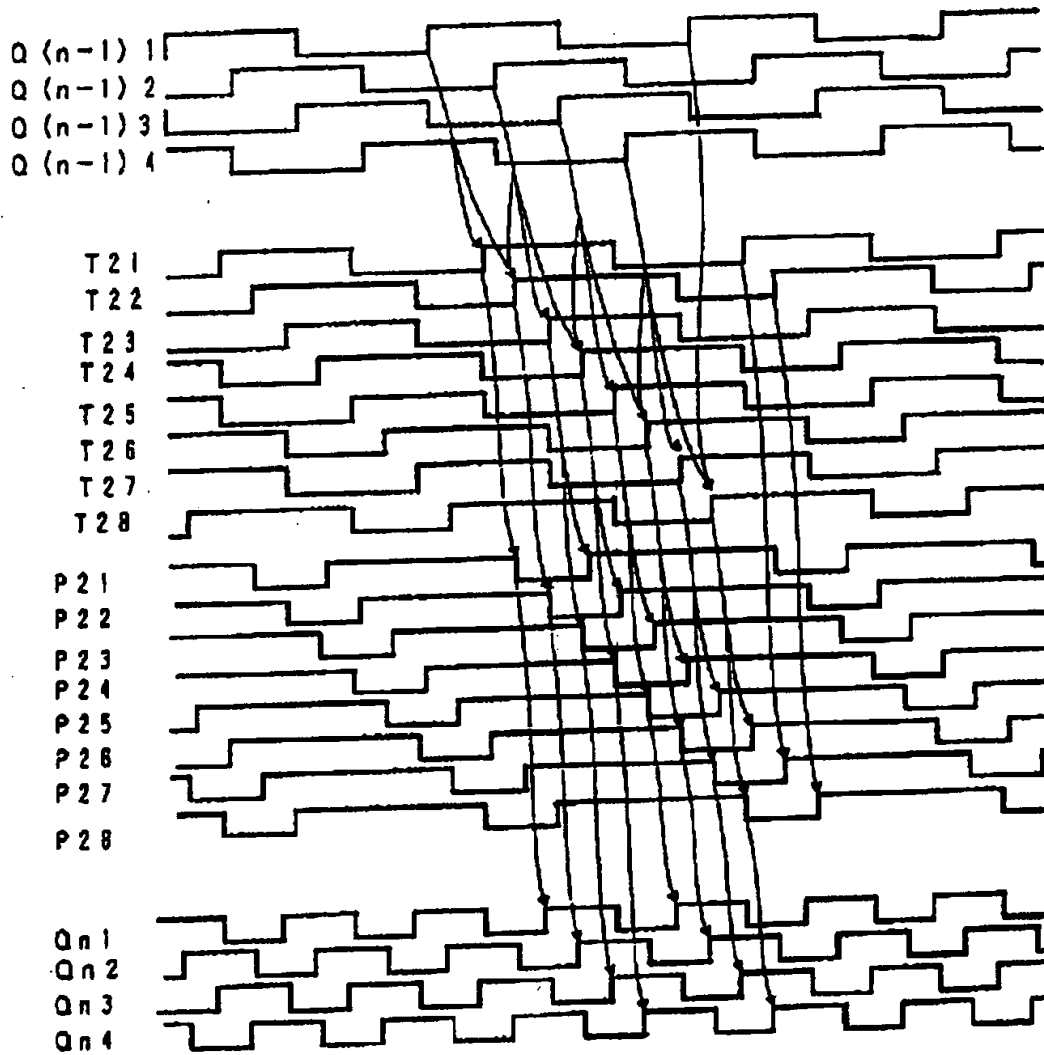
【図5】



【図6】

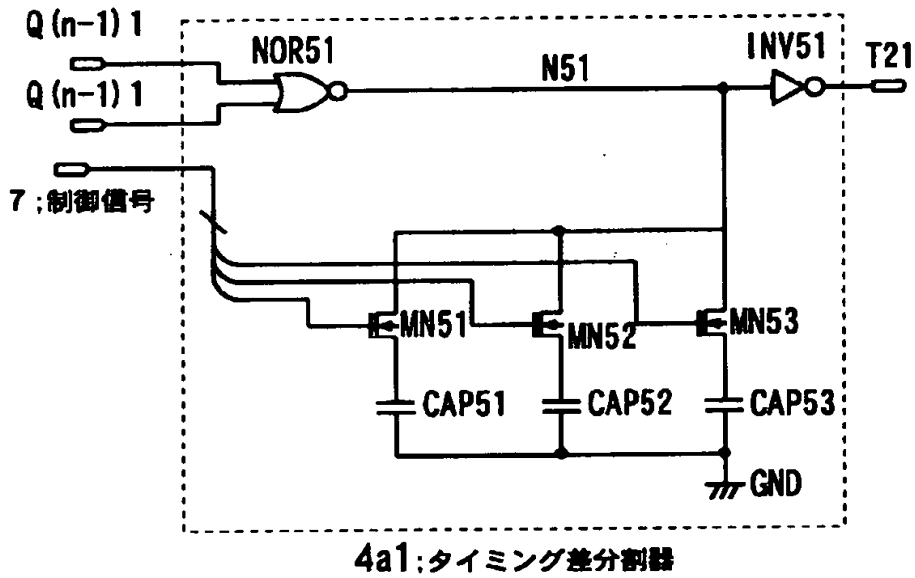


【图7】

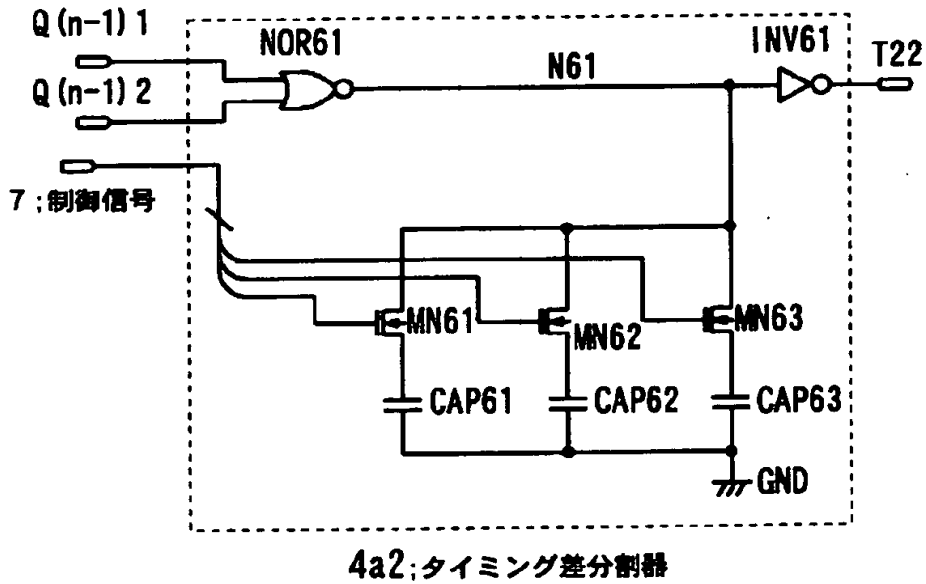


【図8】

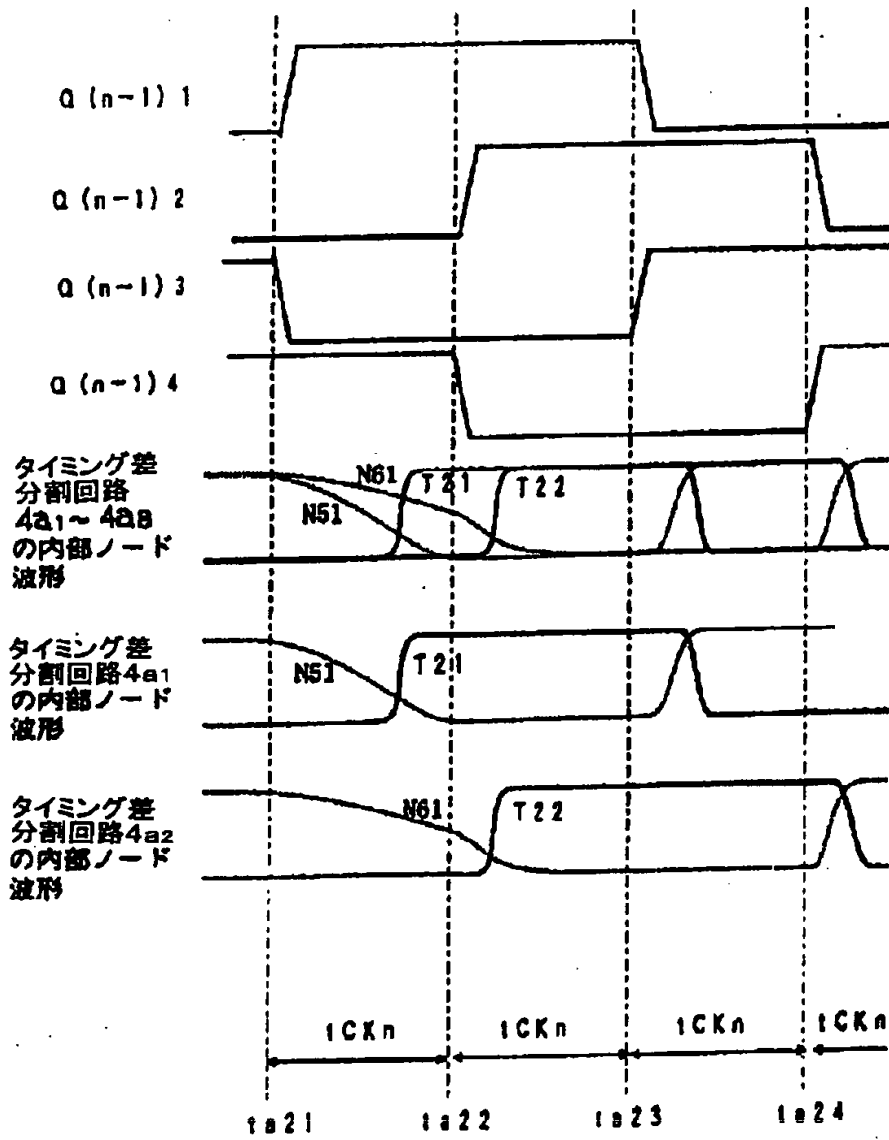
(a)



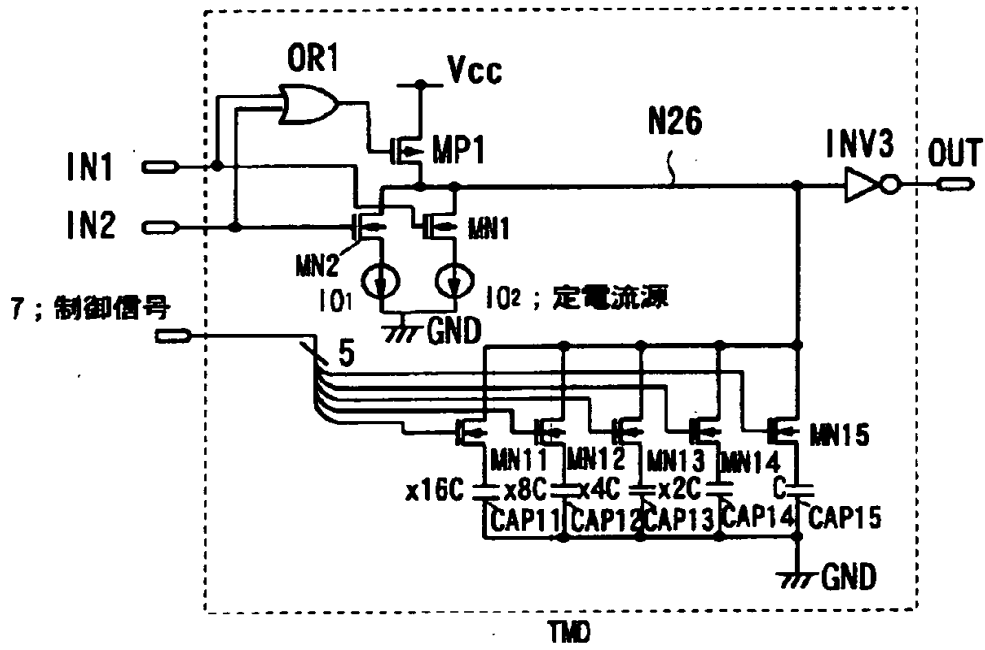
(b)



【図9】

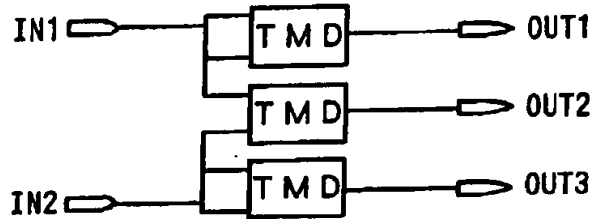


【図10】

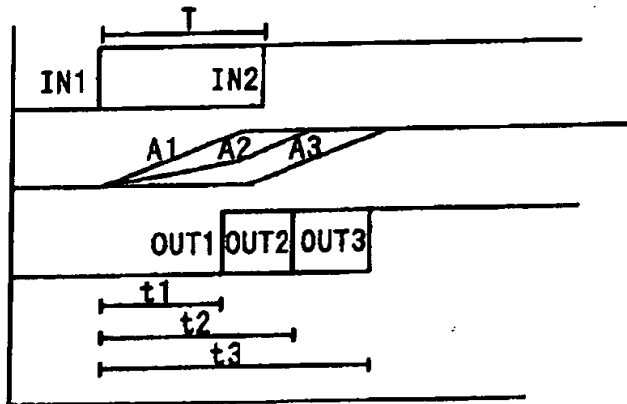


【図 1 1】

(a)



(b)



(c)

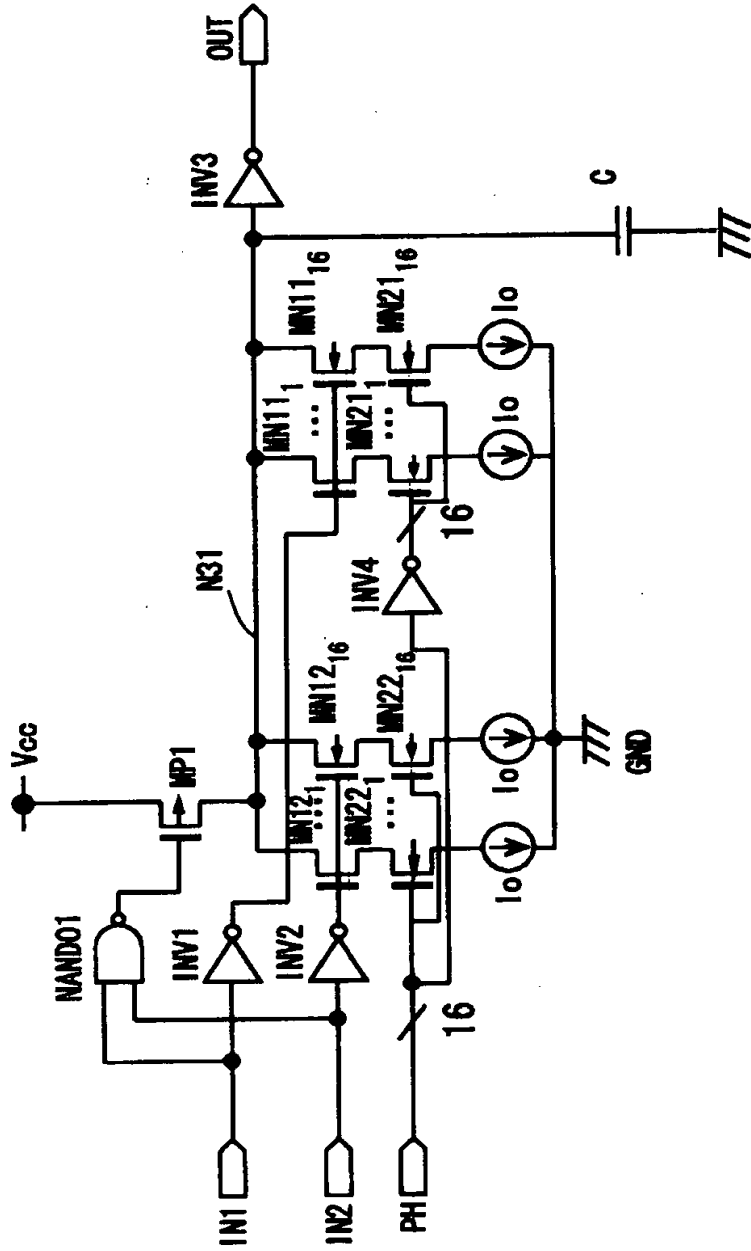
$$t_1 = CV/2l$$

$$t_2 = T + (CV - lT)/2l$$

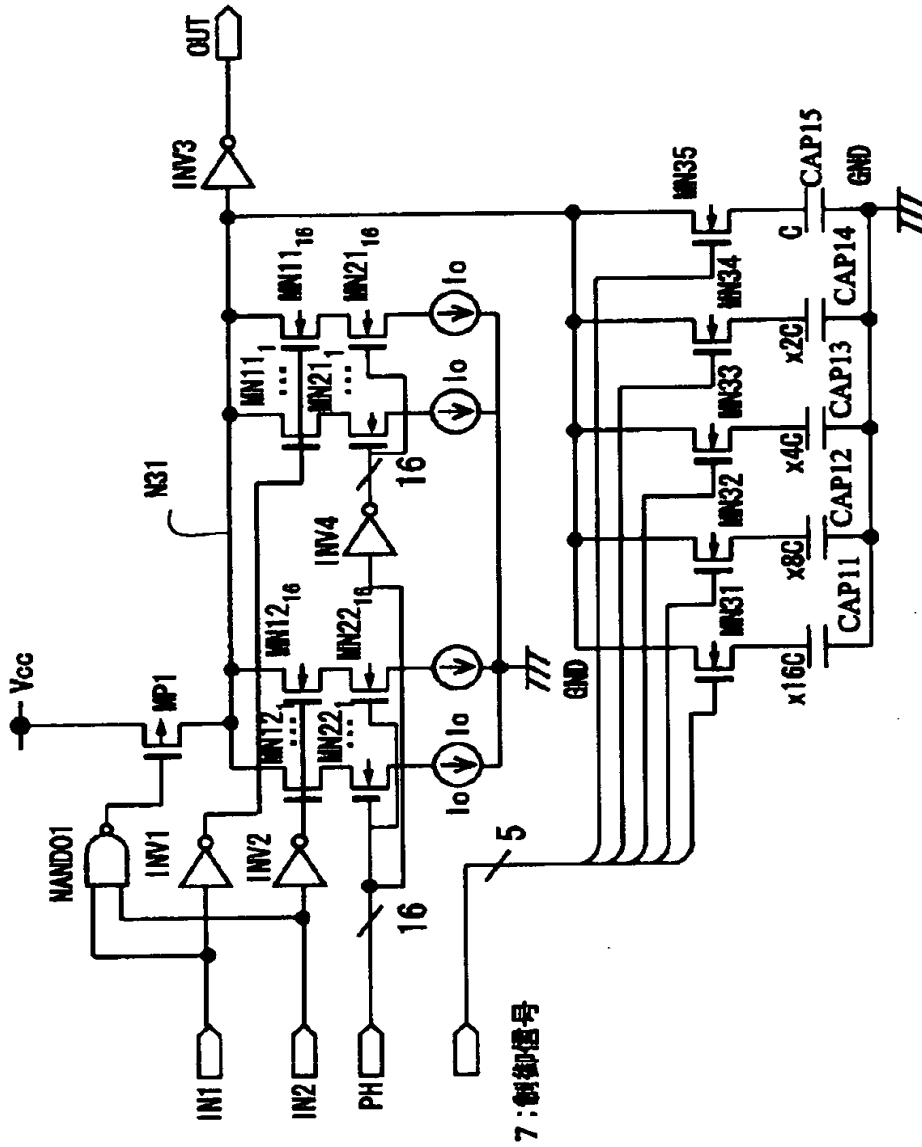
$$t_2 = (1/2)T + t_1$$

$$t_3 = T + CV/2l = T + t_1$$

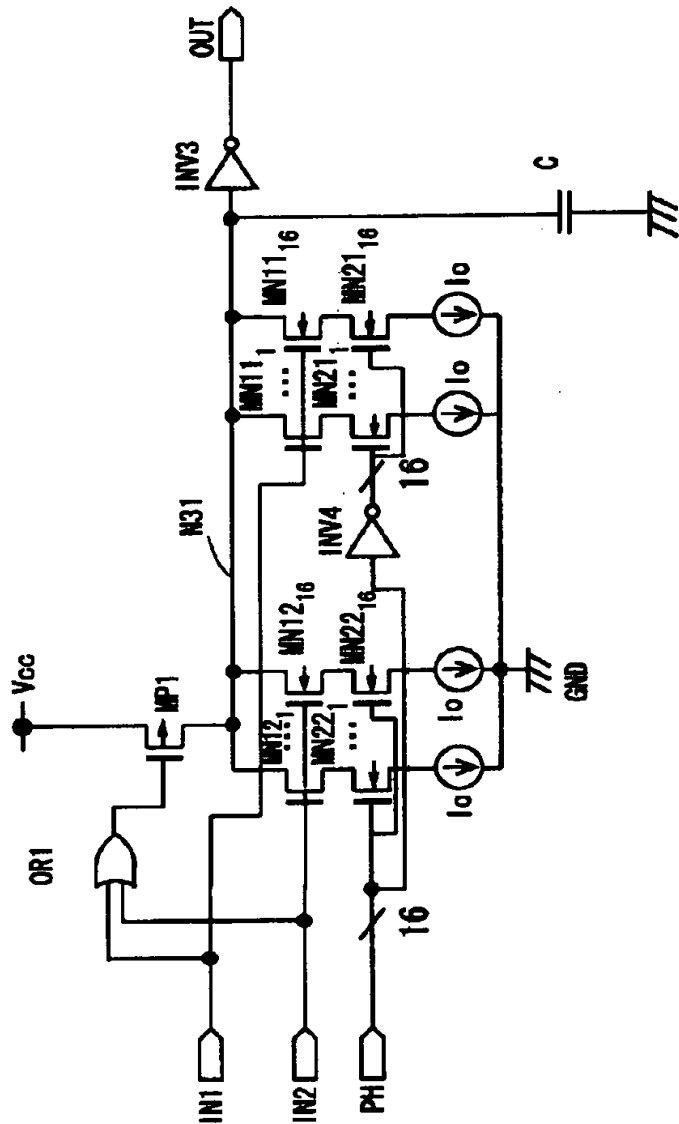
【図12】



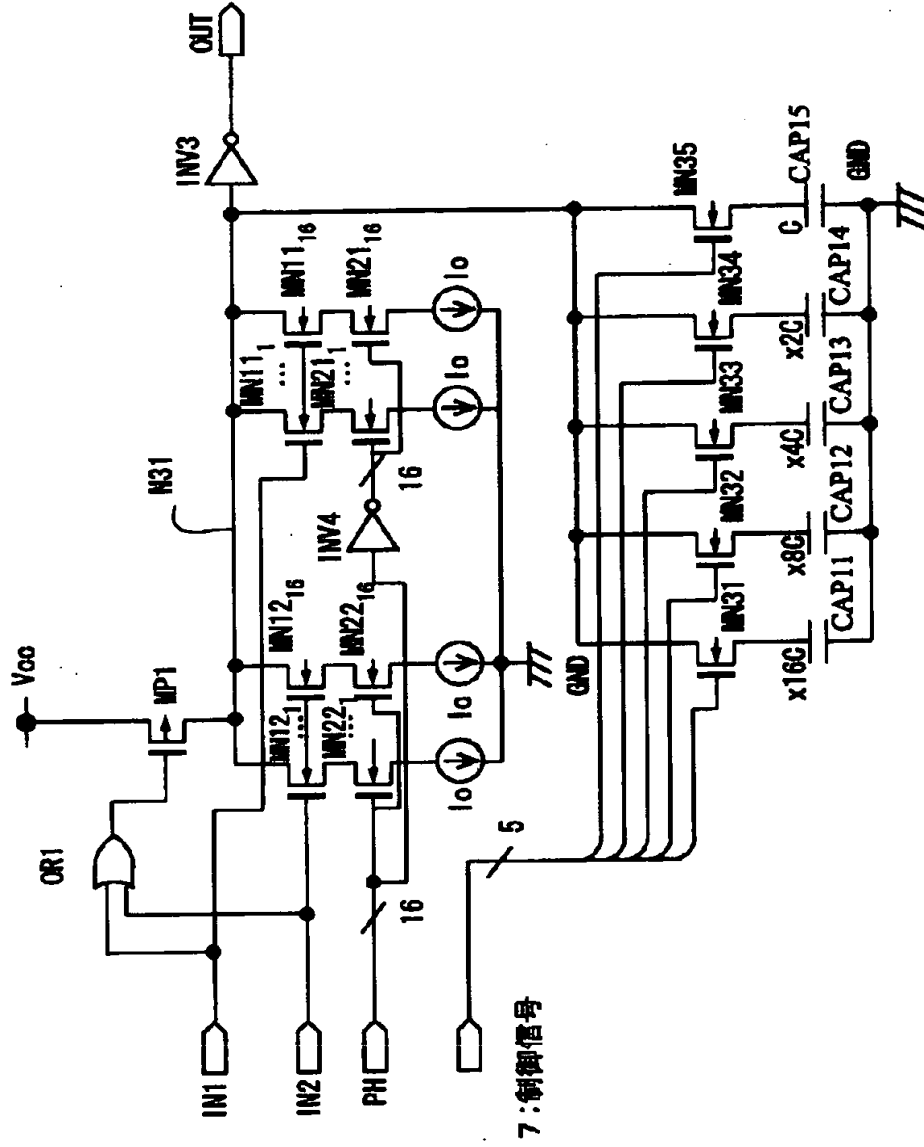
【図13】



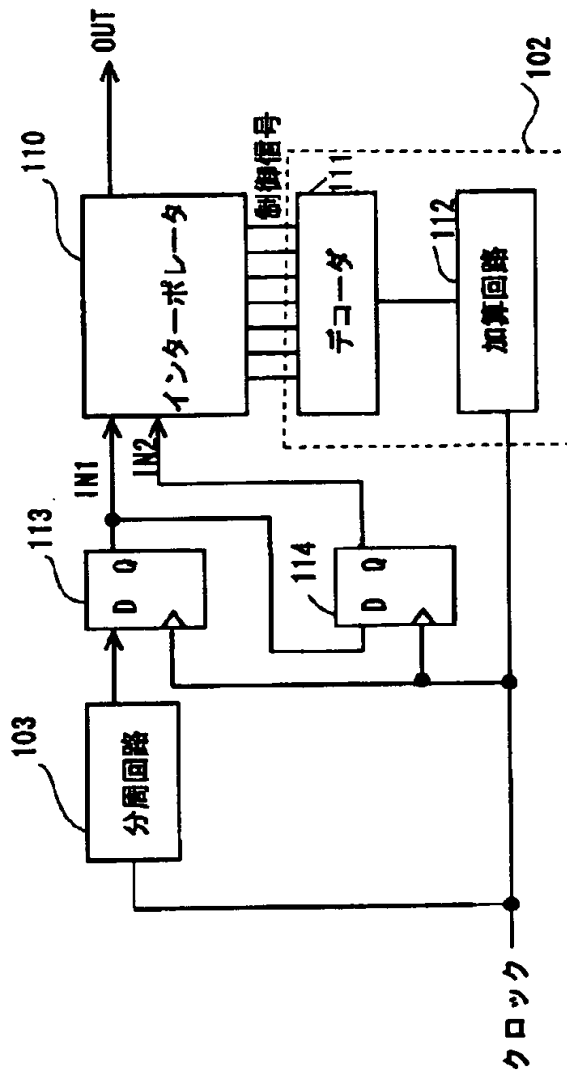
【图14】



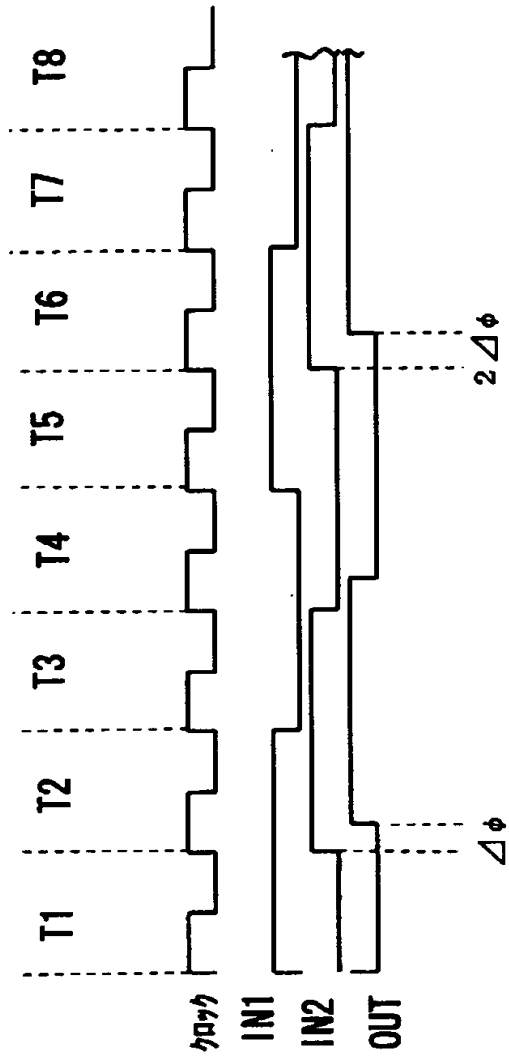
【図15】



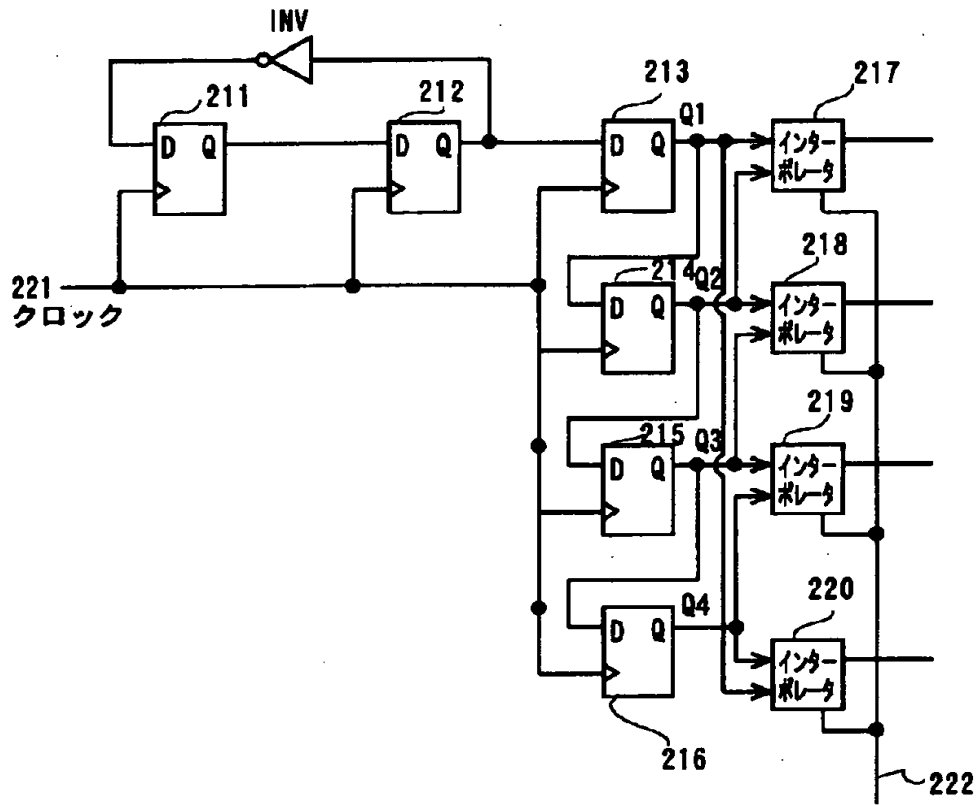
【図16】



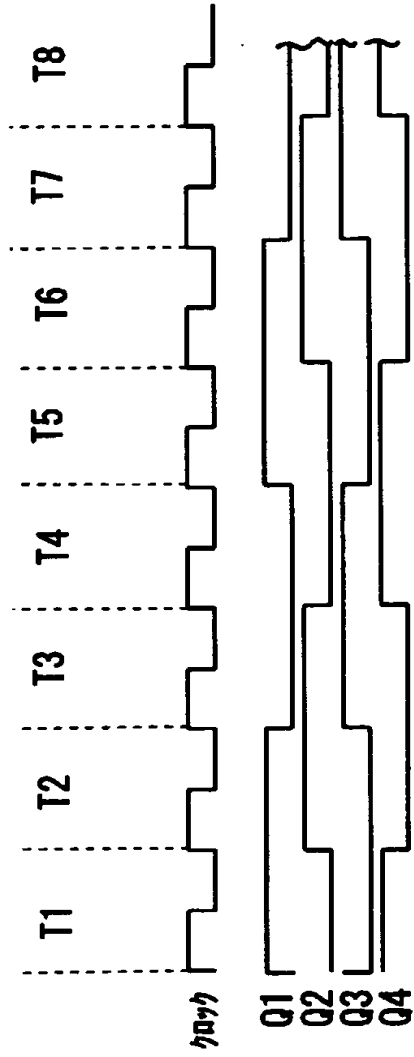
【図 17】



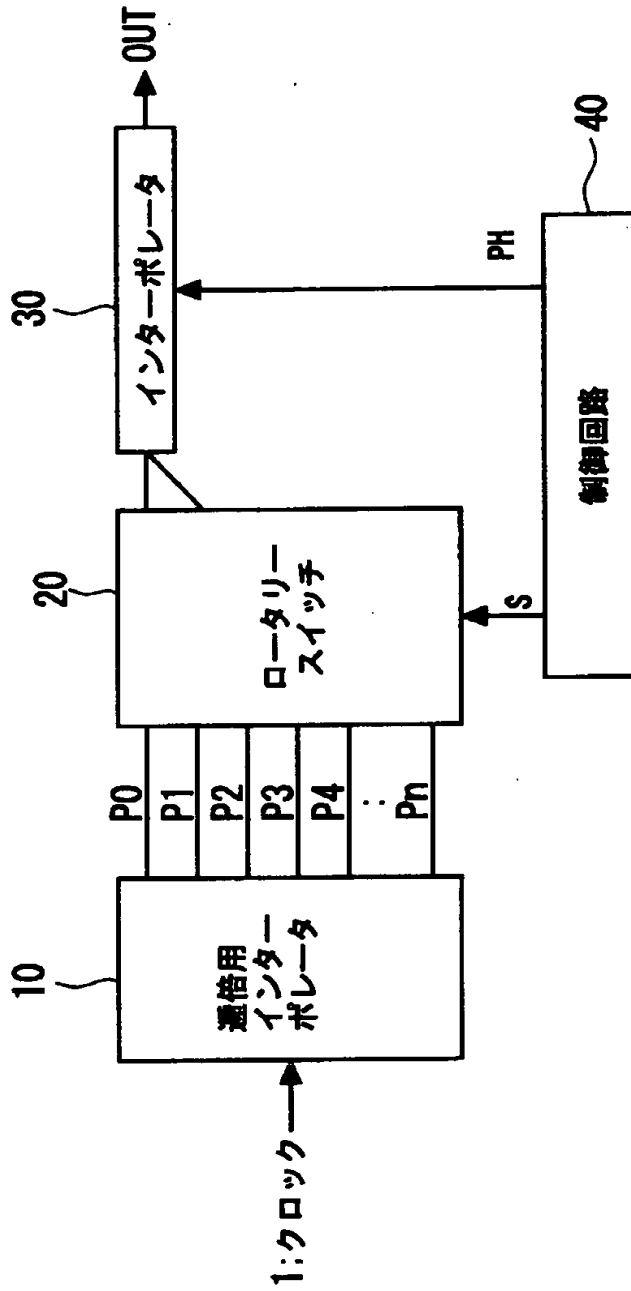
【図 18】



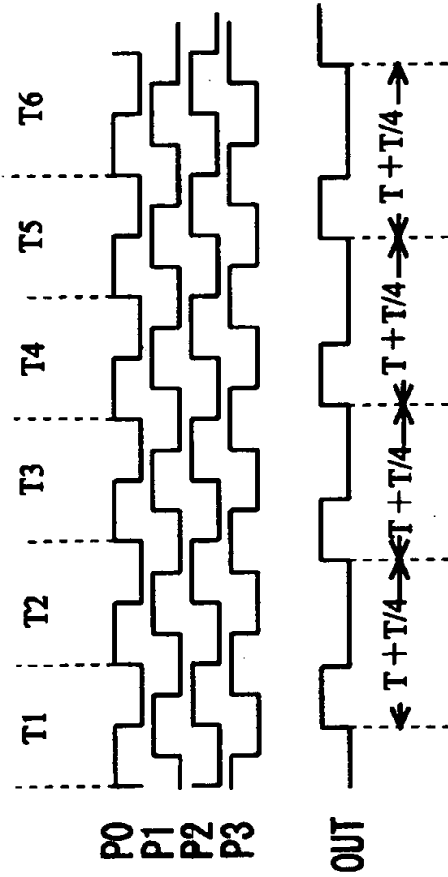
【図 19】



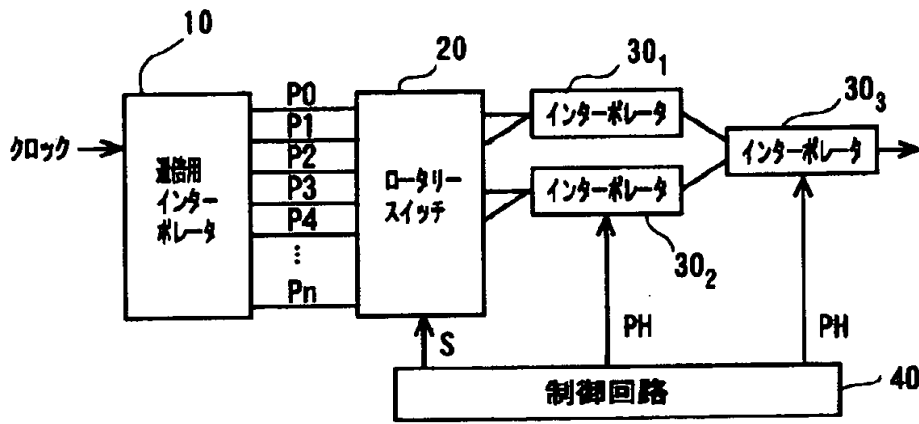
【図20】



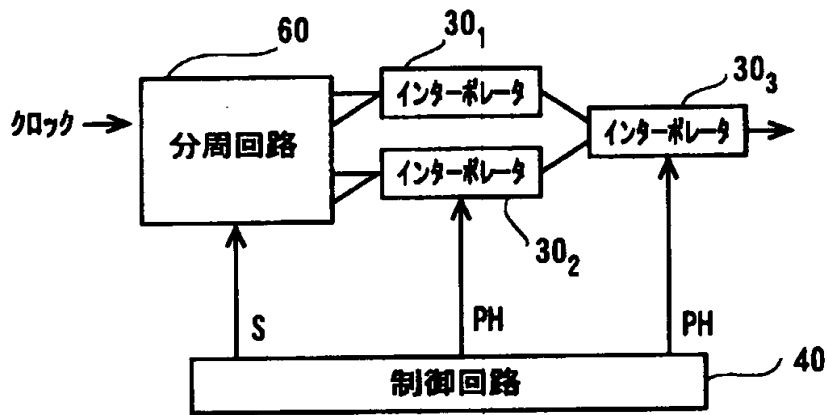
【图 21】



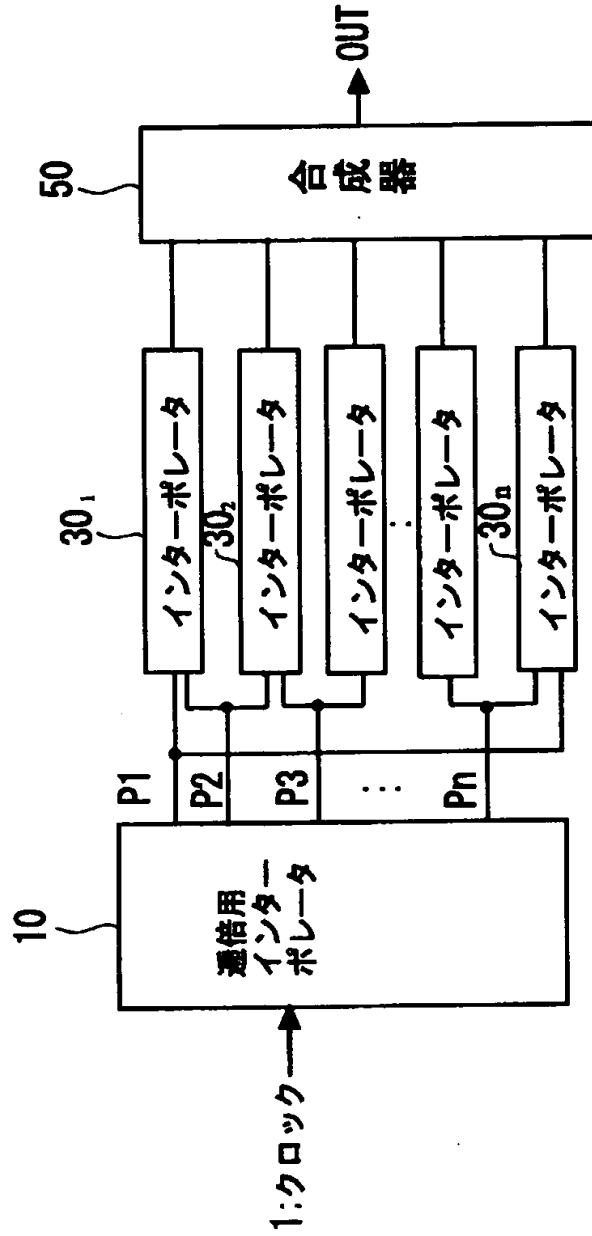
【図 2 2】



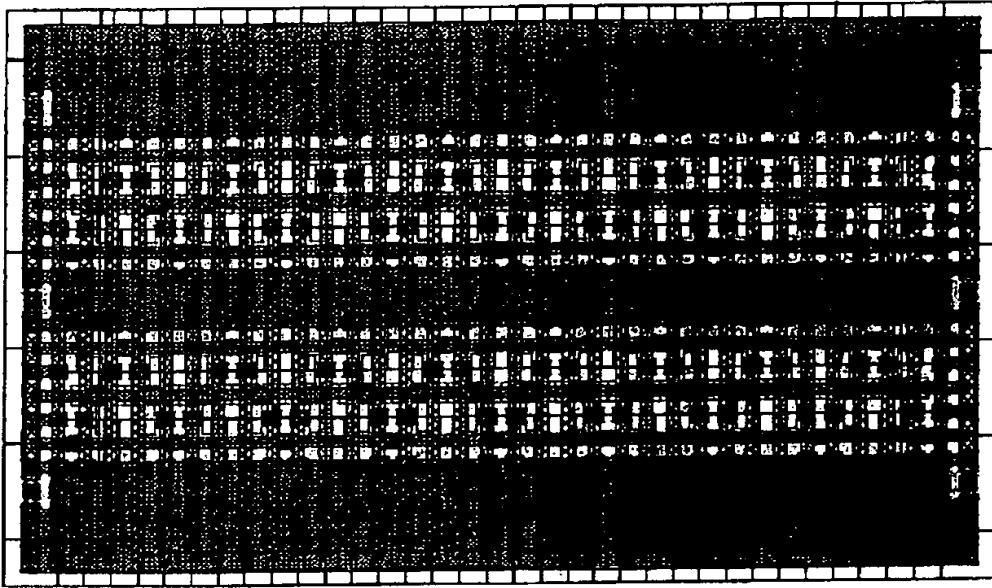
【図 2 3】



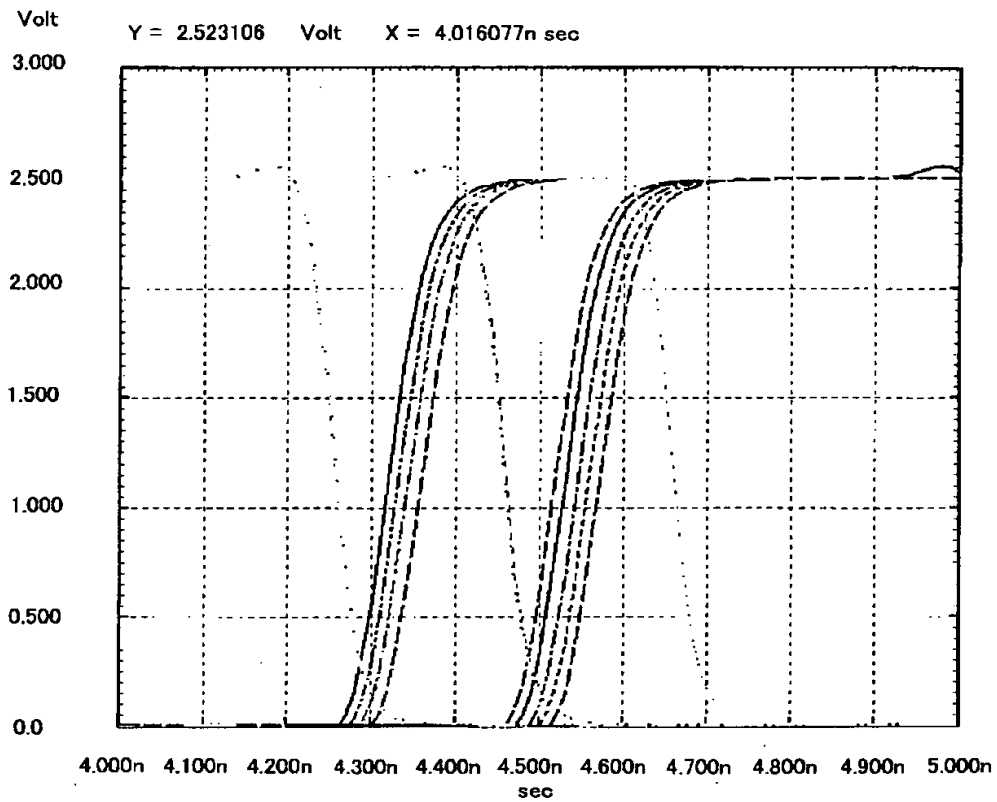
【図24】



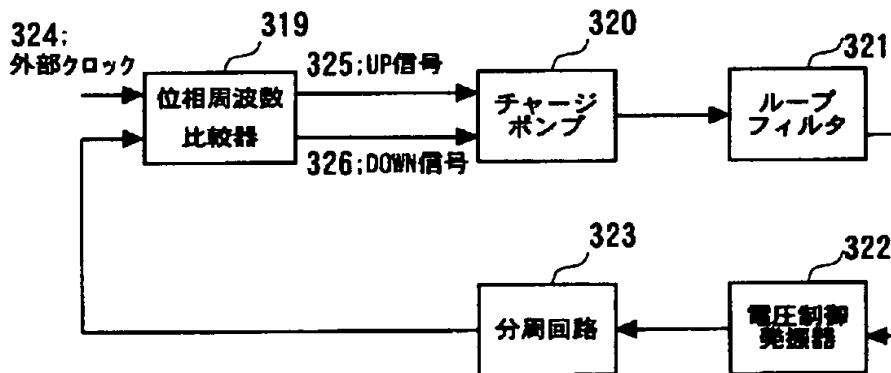
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】

簡易な構成により、高精度に、非整数の周波数変換を行うことができるクロック制御回路及び方法の提供。

【解決手段】

入力クロック又は前記入力クロックから生成されるクロックを基準のクロックとして、前記基準のクロックの周期毎に、前記基準のクロックに対する位相を、あらかじめ所定の単位位相差分加算又は減算するための制御信号を出力する制御回路 1 0 2 と、前記入力クロックを入力し、前記制御信号に基づき、前記基準のクロックに対して前記加算されてなる位相を有するクロックを出力する位相調整回路 1 0 1 と、を備える。

【選択図】

図 1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社